

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Tetsuya OOTSUKI **Examiner:** Unassigned
Serial No.: 10/714,210 **Group Art Unit:** Unassigned
Filed: November 14, 2003 **Docket:** 17262
For: SEMICONDUCTOR MEMORY **Dated:** December 15, 2003
 DEVICE ADAPTIVE FOR
 USE CIRCUMSTANCE

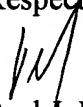
Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

CLAIM OF PRIORITY

Sir:

Applicant in the above-identified application hereby claims the right of priority in connection with Title 35 U.S.C. §119 and in support thereof, herewith submits a certified copy of Japanese Patent Application 2002-332826 filed on November 15, 2002.

Respectfully submitted,


Paul J. Esatto, Jr.
Registration No. 30,749

Scully, Scott, Murphy & Presser
400 Garden City Plaza
Garden City, New York 11530
(516) 742-4343

CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Commissioner For Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on December 15, 2003.

Dated: December 15, 2003


Paul J. Esatto, Jr.

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 1 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 3 2 8 2 6
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 3 2 8 2 6]

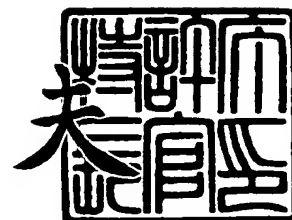
出 願 人 エルピーダメモリ株式会社
Applicant(s):



2 0 0 3 年 1 0 月 3 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 22310227

【提出日】 平成14年11月15日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/407
G11C 11/408
G11C 11/413

【発明者】

【住所又は居所】 東京都中央区八重洲 2 - 2 - 1 エルピーダメモリ株式会社
会社内

【氏名】 大月 哲也

【特許出願人】

【識別番号】 500174247

【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

【識別番号】 100102864

【弁理士】

【氏名又は名称】 工藤 実

【選任した代理人】

【識別番号】 100099553

【弁理士】

【氏名又は名称】 大村 雅生

【手数料の表示】

【予納台帳番号】 053213

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0114854

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 複数のメモリセルを備えた複数のメモリセルアレイと、

遅延制御信号を出力するモード制御部と、

外部からのアドレスとアドレスバッファ制御信号とに基づいて前記複数のメモリセルアレイにアクセスする命令実行部と、

外部からのコマンドと前記遅延制御信号とに基づいて、前記アドレスバッファ制御信号を前記命令実行部に出力するコマンド制御部とを具備し、

前記コマンド制御部は、

前記遅延制御信号がインアクティブ状態であり、前記コマンドがライトコマンド又はリードコマンドである通常動作モードのときに、クロック信号に同期して前記アドレスバッファ制御信号を出力し、

前記遅延制御信号がアクティブ状態であり、前記コマンドが前記ライトコマンドであるライト命令遅延動作モードのときに、前記クロック信号に同期して前記アドレスバッファ制御信号を出力し、

前記遅延制御信号がアクティブ状態であり、前記コマンドが前記リードコマンドであるリード命令遅延動作モードのときに、前記クロック信号から遅延して前記アドレスバッファ制御信号を出力する

半導体記憶装置。

【請求項 2】 請求項 1 に記載の半導体記憶装置において、

前記コマンド制御部は、

前記コマンドが前記ライトコマンドであるときに、前記クロック信号に同期してコマンド信号をアクティブ状態にして前記命令実行部に出力し、

前記コマンドが前記リードコマンドであるときに、前記クロック信号に同期してコマンド信号をインアクティブ状態にして前記命令実行部に出力し、

前記命令実行部は、前記アドレスと前記アドレスバッファ制御信号と前記コマンド信号とに基づいて、前記メモリセルアレイにアクセスする

半導体記憶装置。

【請求項 3】 請求項 2 に記載の半導体記憶装置において、
前記コマンド制御部は、コマンドデコーダ回路を備え、
前記コマンドデコーダ回路は、
外部からの前記コマンドを入力し、第 1 クロック信号に同期して前記コマンド信号を出力し、第 2 クロック信号に同期して前記アドレスバッファ制御信号を出力する制御回路と、
前記アドレスバッファ制御信号を遅延して出力する遅延回路と、
前記モード制御部からの前記遅延制御信号と前記コマンド信号とに基づいて、前記アドレスバッファ制御信号と前記遅延回路により遅延された前記アドレスバッファ制御信号との一方を選択して前記命令実行部に出力するマルチプレクサ回路とを備えた
半導体記憶装置。

【請求項 4】 請求項 2 又は 3 に記載の半導体記憶装置において、
前記命令実行部は、前記コマンド信号がアクティブ状態であるときに、前記アドレスバッファ制御信号に基づいて、前記アドレスにデータを書込む
半導体記憶装置。

【請求項 5】 請求項 2 又は 3 に記載の半導体記憶装置において、
前記命令実行部は、前記コマンド信号がインアクティブ状態であるときに、前記アドレスバッファ制御信号に基づいて、前記アドレスから、データを読み出す
半導体記憶装置。

【請求項 6】 請求項 1 ～ 5 のいずれか一項に記載の半導体記憶装置を具備するコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特に、DDR-SDRAM (Double Data Rate-Synchronous Dynamic Access Memory) に適用される半導体記憶装置に関する。

【0002】

【従来の技術】

近年、計算機の主記憶装置として、クロックに同期して動作する SDRAM が特開 2000-40363 号公報、特開 2000-132966 号公報、特開 2002-025255 号公報、特開 2000-268565 号公報、特開 2001-093280 号公報に開示されている。

【0003】

SDRAM の中でも、データ転送速度の向上を図るために、

(1) 入出力ビット数 n (n は整数) の 2 倍の $2n$ ビットのデータを同時に読み書きする ($2n$ ビットプリフェッチ方式)、

(2) データの取り込みを、クロック信号の変わりにストローク信号によって行う、

ことを特徴とする DDR-SDRAM、DDR II-SDRAM が一般的になりつつある。DDR-SDRAM の場合、 n は 1 であり、DDR II-SDRAM の場合、 n は 2 である。以下、 $2n$ ビットプリフェッチ方式が採用される DDR-SDRAM を例にして説明する。

【0004】

図 5 は、第 1 従来例の半導体記憶装置の回路構成を示す。この第 1 従来例の半導体記憶装置におけるメモリ動作 (メモリアクセス) としてリード動作の説明については、カラムセレクト線 CSL の活性化までとする。

第 1 従来例の半導体記憶装置は、メモリセルアレイ 1、2、ロウデコーダ回路 3、4、センスアンプ回路 5、6、アドレス初段回路 7、アドレスラッチ回路 8、X アドレスバッファ回路 9、Y アドレスバッファ回路 10、コマンド初段回路 11、コマンドデコーダ回路 12、クロック初段回路 13、カラム系コントロール回路 14、データ初段回路 15、データストローク初段回路 16、データラッチ回路 17、ライトバッファ回路 18、ライトアンプ回路 19、20、カラムデコーダ回路 21、22 を具備する。

この第 1 従来例の半導体記憶装置は、コンピュータ (図示しない) に搭載される。そのコンピュータが備える構成としては、第 1 従来例の半導体記憶装置の他に、CPU (Central Processing Unit) (図示しない)

）、クロック発生回路（図示しない）が挙げられる。

【0005】

メモリセルアレイ1は、even側のメモリセルアレイであり、メモリセルアレイ2は、odd側のメモリセルアレイである。メモリセルアレイ1、2は、($N \times M$) 個 ($N=1, 2, 3, \dots; M=1, 2, 3, \dots$) のメモリセルを備えている。メモリセルアレイ1、2の($N \times M$) 個のメモリセルは、N行・M列に配列されている。

【0006】

メモリセルアレイ1のN行のうちの1つの行に属するM個のメモリセルは、ワード線で互いに接続されている。そのワード線には、ロウデコード回路3が接続されている。メモリセルアレイ1のM列のうちの1つの列に属するN個のメモリセルは、ビット線で互いに接続されている。そのビット線には、センスアンプ回路5が接続されている。メモリセルアレイ1の各メモリセルは、カラムセレクト線CSLに接続されている。そのカラムセレクト線CSLには、カラムデコード回路21が接続されている。

メモリセルアレイ2のN行のうちの1つの行に属するM個のメモリセルは、ワード線で互いに接続されている。そのワード線には、ロウデコード回路4が接続されている。メモリセルアレイ2のM列のうちの1つの列に属するN個のメモリセルは、ビット線で互いに接続されている。そのビット線には、センスアンプ回路6が接続されている。メモリセルアレイ2の各メモリセルは、カラムセレクト線CSLに接続されている。そのカラムセレクト線CSLには、カラムデコード回路22が接続されている。

【0007】

クロック初段回路13は、クロック発生回路からクロック信号CLKを入力して内部クロック信号ICKに変換し、その内部クロック信号ICKをアドレスラッチ回路8、Yアドレスバッファ回路10、コマンドデコード回路12、カラム系コントロール回路14、データラッチ回路17に出力する。

【0008】

アドレス初段回路7は、クロック信号CLK（図示省略）に応じて、CPUか

らアドレスADDを入力して内部コマンドでアドレスCADDに変換し、そのアドレスCADDをアドレスラッチ回路8に出力する。

アドレスラッチ回路8は、クロック信号CLK（図示省略）に応じて、アドレス初段回路7からのアドレスCADDを取込む（ラッチする）。アドレスラッチ回路8は、内部クロック信号ICLKに同期して、そのアドレスCADDをアドレスIAとしてXアドレスバッファ回路9、Yアドレスバッファ回路10に出力する。

【0009】

コマンド初段回路11は、クロック信号CLK（図示省略）に応じて、CPUからコマンドCSB（コマンドセレクトバー）、RASB（ローアドレスストロブバー）、CASB（カラムアドレスストロブバー）、WEB（ライトイネーブルバー）を入力して内部コマンドCでコマンドCCS、CRAS、CCAS、CWEに変換し、そのコマンドCCS、CRAS、CCAS、CWEをコマンドデコーダ回路12に出力する。

【0010】

コマンドデコーダ回路12は、コマンド初段回路11からコマンドCCS、CRAS、CCAS、CWEを入力する。コマンドデコーダ回路12は、内部クロック信号ICLKに同期して、Yアドレスバッファ制御信号YALをアクティブ状態にしてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。コマンドデコーダ回路12は、次のロック信号ICLKに同期して、Yアドレスバッファ制御信号NYALをアクティブ状態にしてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

コマンドCWEがライトコマンドを表す場合（ライト動作を表す場合）、コマンドデコーダ回路12は、内部クロック信号ICLKに同期して、コマンド信号WBSTをアクティブ状態にしてカラム系コントロール回路14に出力する。

コマンドCWEがリードコマンドを表す場合（リード動作を表す場合）、コマンドデコーダ回路12は、内部クロック信号ICLKに同期して、コマンド信号WBSTをインアクティブ状態にしてカラム系コントロール回路14に出力する。

。

【0011】

Xアドレスバッファ回路9は、アドレスラッチ回路8からのアドレスIAを入力し、そのアドレスIAがXアドレス（行アドレス）である場合、そのXアドレスであるアドレスXAをロウデコーダ回路3、4に出力する。

ロウデコーダ回路3、4は、Xアドレスバッファ回路9からのアドレスXAをデコードし、メモリセルアレイ1、2の各メモリセルにつながるワード線のうち、そのアドレスXA（Xアドレス）の値に応じたワード線を駆動する。

Yアドレスバッファ回路10は、内部クロック信号ICKに同期して、アドレスラッチ回路8からのアドレスIAを取込む。Yアドレスバッファ回路10は、そのアドレスIAがYアドレス（列アドレス）である場合、Yアドレスバッファ制御信号YAL、NYALに応じて、そのYアドレスであるアドレスYAをカラムデコーダ回路21、22に出力する。

【0012】

カラム系コントロール回路14は、コマンドデコーダ回路12からのコマンド信号WBSTがアクティブ状態であるときに、コマンドデコーダ回路12からのYアドレスバッファ制御信号YALを入力した場合、Yアドレスバッファ制御信号YALに応じて、ライトバッファ制御信号W0をアクティブ状態にしてライトバッファ回路18に出力する。

カラム系コントロール回路14は、コマンドデコーダ回路12からのコマンド信号WBSTがアクティブ状態であるときに、コマンドデコーダ回路12からのYアドレスバッファ制御信号NYALを入力した場合、内部クロック信号ICKに同期して、ライトバッファ制御信号W0をインアクティブ状態にしてライトバッファ回路18に出力する。

カラム系コントロール回路14は、Yアドレスバッファ制御信号YAL、NYALに応じて、カラムセレクト線制御信号YSELをアクティブ状態にしてカラムデコーダ回路21、22に出力する。

コマンド信号WBSTがアクティブ状態である場合（ライト動作を表す場合）、カラム系コントロール回路14は、Yアドレスバッファ制御信号YAL、NYALに応じて、ライトアンプ制御信号WAEをアクティブ状態にしてライトアン

プ回路 19、20 に出力する。

【0013】

カラムデコーダ回路 21、22 は、カラム系コントロール回路 14 からのカラムセレクト線制御信号 YSEL に応じて、Y アドレスバッファ回路 10 からのアドレス YA をデコードする。カラムデコーダ回路 21、22 は、メモリセルアレイ 1、2 の各メモリセルに接続されたカラムセレクト線 CSL のうち、そのアドレス YA (Y アドレス) の値に応じたカラムセレクト線 CSL を駆動する。

【0014】

データ初段回路 15 は、クロック信号 CLK (図示省略) に応じて、CPU からデータ DQ を入力して内部コマンド C でデータ CDQ に変換し、そのデータ CDQ をデータラッチ回路 17 に出力する。

データストロープ初段回路 16 は、クロック発生回路からクロック信号 CLK に同期したデータストロープ DQS を入力して内部コマンド C でデータストロープ CDQS に変換し、そのデータストロープ CDQS をデータラッチ回路 17 に出力する。

データラッチ回路 17 は、データストロープ CDQS に応じてデータ初段回路 15 からのデータ CDQ を取込む。データラッチ回路 17 は、内部クロック信号 ICLK に同期して、そのデータ CDQ をデータ IDQ としてライトバッファ回路 18 に出力する。

ライトバッファ回路 18 は、カラム系コントロール回路 14 からのライトバッファ制御信号 W0 により、データ IDQ をライトバス WBUS としてライトアンプ回路 19、20 に出力する。

ライトアンプ回路 19、20 は、カラム系コントロール回路 14 からのライトアンプ制御信号 WAE に応じて、ライトバッファ回路 18 からのライトバス WBUS (データ) を書込入力データ IO としてセンスアンプ回路 5、6 に出力する。

【0015】

センスアンプ回路 5、6 は、ロウデコーダ回路 3、4 によりワード線が駆動されたときに、メモリセルアレイ 1、2 の各メモリセルに接続されたビット線に電

圧を供給し、ビット線の電位を増幅させる。

ライト動作時にカラムデコーダ回路21、22によりカラムセレクト線CSLが駆動されている場合、センスアンプ回路5、6は、ライトアンプ回路19、20からの書込入力データIOをビット線に出力し、ビット線に接続されたメモリセル（アドレス）には書込入力データIOが書き込まれる。

【0016】

次に、第1従来例の半導体記憶装置のライト動作について説明する。

初期動作として、アドレス初段回路7がクロック信号CLKに同期してアドレスADDとしてXアドレスを入力し、そのアドレスCADD（アドレスXA）を出力したものとする。アドレスラッチ回路8は、内部クロック信号ICLKに同期して、アドレスCADD（アドレスXA）をアドレスIAとして出力したものとする。Xアドレスバッファ回路9は、アドレスIA（アドレスXA）を入力し、そのアドレスXAをロウデコーダ回路3、4に出力したものとする。ロウデコーダ回路3、4は、Xアドレスバッファ回路9からのアドレスXAをデコードし、そのアドレスXA（Xアドレス）の値に応じたワード線を駆動しているものとする。センスアンプ回路5、6は、ロウデコーダ回路3、4によりワード線が駆動されたときに、メモリセルアレイ1、2の各メモリセルに接続されたビット線に電圧を供給し、ビット線の電位が増幅されているものとする。

【0017】

ライト動作の条件として、コマンドWEBがライトコマンドを表し、コマンド初段回路11がクロック信号CLKに同期してコマンドCSB、RASB、CASB、WEB（ライトコマンド）を入力し、コマンドCCS、CRAS、CCAS、CWE（ライトコマンド）をコマンドデコーダ回路12に出力したものとする。アドレス初段回路7がクロック信号CLKに同期してアドレスADDとしてYアドレスであるアドレスY0を入力し、アドレスCADD（アドレスY0）をアドレスラッチ回路8に出力したものとする。データ初段回路15がクロック信号CLKに同期してデータDQとしてデータD0（even）、D1（odd）、D2（even）、D3（odd）を入力し、データCDQ（データD0、D1、D2、D3）をデータラッチ回路17に出力したものとする。このときのバ

ースト長を4とする。

【0018】

図6に示されるように、コマンド初段回路11がクロック信号CLKに同期してライトコマンドを入力するときの時間をP0とする。クロック初段回路13は、時間P0、P1、P2、P3、P4、…、にてクロック信号CLKを入力したときに、そのクロック信号CLKの立ち上がりエッジを検出して、ワンショットパルス信号として内部クロック信号ICLKを、タイミングT0、T1、T2、T3、T4、…、の時間にて出力する。

データストロブ初段回路16は、時間P0、P1、P2、P3、P4、…、にてクロック信号CLKに同期したデータストロブDQSを入力し、データストロブCDQSをデータラッチ回路17に出力する。

内部クロック信号ICLKは、クロック信号CLKに対して、(P0-T0)、(P1-T1)、(P2-T2)、(P3-T3)、(P4-T4)、…、の時間差で出力される。

【0019】

データラッチ回路17は、時間P1におけるデータストロブCDQS（データストロブDQS）の立ち上がりエッジに応じて、データCDQ（データDQ）であるデータD0（even）を、データラッチ回路17に設けられた図示しない第1データ保持部（even側）に取込む。図6に示されたデータD0（e）は、データD0（even）を表す。

データラッチ回路17は、時間P1におけるデータストロブCDQS（データストロブDQS）の立ち下がりエッジに応じて、データCDQ（データDQ）であるデータD1を、データラッチ回路17に設けられた図示しない第2データ保持部（odd側）に取込む。図6に示されたデータD1（o）は、データD1（odd）を表す。

データラッチ回路17は、時間P2におけるデータストロブCDQS（データストロブDQS）の立ち上がりエッジに応じて、データCDQ（データDQ）であるデータD2を、その第1データ保持部（even側）に取込む。図6に示されたデータD2（e）は、データD2（even）を表す。

データラッチ回路 17 は、時間 P2 におけるデータストロブ CDQS（データストロブ DQS）の立ち下がりエッジに応じて、データ CDQ（データ DQ）であるデータ D3 を、その第 2 データ保持部（odd 側）に取込む。図 6 に示されたデータ D3（o）は、データ D3（odd）を表す。

データラッチ回路 17 は、その第 1 データ保持部に取込まれたデータ D0（even）とその第 2 データ保持部に取込まれたデータ D1（odd）とを、タイミング T2 における内部クロック信号 ICLK の立ち上がりエッジに応じて、データラッチ回路 17 に設けられた図示しない第 3 データ保持部に並列に取込み、その第 3 データ保持部に取込まれたデータ D0（even）、データ D1（odd）をデータ IDQ としてライトバッファ回路 18 に出力する。

データラッチ回路 17 は、その第 1 データ保持部に取込まれたデータ D2（even）とその第 2 データ保持部に取込まれたデータ D3（odd）とを、タイミング T3 における内部クロック信号 ICLK の立ち上がりエッジに応じて、その第 3 データ保持部に並列に取込み、その第 3 データ保持部に取込まれたデータ D2（even）、データ D3（odd）をデータ IDQ としてライトバッファ回路 18 に出力する。

【0020】

コマンドデコーダ回路 12 は、コマンド初段回路 11 からコマンド CCS、CRAS、CCAS、CWE（ライトコマンド）を入力すると、タイミング T0 における内部クロック信号 ICLK の立ち上がりエッジに応じて、コマンド信号 WBS T をアクティブ状態（Hi レベル）にしてカラム系コントロール回路 14 に出力する。

コマンドデコーダ回路 12 は、タイミング T2 における内部クロック信号 ICLK の立ち上がりエッジに応じて、Y アドレスバッファ制御信号 YAL をワンショットパルス信号としてアクティブ状態（Hi レベル）にして Y アドレスバッファ回路 10、カラム系コントロール回路 14 に出力する。

コマンドデコーダ回路 12 は、タイミング T3 における内部クロック信号 ICLK の立ち上がりエッジに応じて、Y アドレスバッファ制御信号 NYAL をワンショットパルス信号としてアクティブ状態（Hi レベル）にして Y アドレスバッ

ファ回路 10、カラム系コントロール回路 14 に出力する。

【0021】

Y アドレスバッファ制御信号 YAL は、バースト 1 発目の Y アドレスバッファ制御信号であり、Y アドレスバッファ制御信号 NYAL は、バースト 2 発目の Y アドレスバッファ制御信号である。バースト長が 4 であるため、タイミング T2 からタイミング T4 までがライトのバースト期間となる。

カラム系コントロール回路 14 は、コマンドデコーダ回路 12 からのコマンド信号 WBS T がアクティブ状態であるときに、コマンドデコーダ回路 12 からタイミング T2 における Y アドレスバッファ制御信号 YAL (ワンショットパルス信号) を入力する。このとき、カラム系コントロール回路 14 は、タイミング T2 における Y アドレスバッファ制御信号 YAL に応じて、バースト期間の開始としてライトバッファ制御信号 W0 をアクティブ状態 (Hi レベル) にしてライトバッファ回路 18 に出力する。

カラム系コントロール回路 14 は、コマンドデコーダ回路 12 からのコマンド信号 WBS T がアクティブ状態であるときに、コマンドデコーダ回路 12 からタイミング T3 における Y アドレスバッファ制御信号 NYAL (ワンショットパルス信号) を入力する。カラム系コントロール回路 14 は、タイミング T4 における内部クロック信号 ICLK に同期して、バースト期間の終了としてライトバッファ制御信号 W0 をインアクティブ状態 (Low レベル) にしてライトバッファ回路 18 に出力する。

【0022】

このように、ライトバッファ制御信号 W0 がアクティブ状態 (Hi レベル) であるときにバースト期間である。このとき、ライトバッファ回路 18 はデータラッチ回路 17 のバッファとして働く。

ライトバッファ回路 18 は、バースト期間であるタイミング T2 からタイミング T3 の間に、データ IDQ であるデータ D0 (even) をライトバス WBUS としてライトアンプ回路 19 に出力し、データ IDQ であるデータ D1 (odd) をライトバス WBUS としてライトアンプ回路 20 に出力する。

ライトバッファ回路 18 は、バースト期間であるタイミング T3 からタイミン

グT4の間に、データIDQであるデータD2 (even) をライトバスWBUSとしてライトアンプ回路19に出力し、データIDQであるデータD3 (odd) をライトバスWBUSとしてライトアンプ回路20に出力する。

【0023】

アドレスラッチ回路8は、クロック信号CLK (時間P0) に応じて、アドレス初段回路7からのアドレスCADD (アドレスY0) を取込み、タイミングT0における内部クロック信号ICLKの立ち上がりエッジに応じて、そのアドレスCADD (アドレスY0) をアドレスIAとして出力する。

【0024】

Yアドレスバッファ回路10は、アドレスラッチ回路8からのアドレスIA (アドレスY0) をアドレスYAとして、Yアドレスバッファ回路10に設けられた図示しないアドレス保持部に取込む。

2nビットプリフェッチ方式のため、タイミングT2にて、アドレスY0とアドレスY1との2種類のYアドレスがアドレスYAとして出力される。アドレスY0は、even側のメモリセルアレイ1の各メモリセルに接続されたカラムセレクト線CSLのうちのカラムセレクト線CSL0に対応するアドレスである。アドレスY1は、odd側のメモリセルアレイ2の各メモリセルに接続されたカラムセレクト線CSLのうちのカラムセレクト線CSL1に対応するアドレスである。

同様に、タイミングT3にて、アドレスY2とアドレスY3との2種類のYアドレスがアドレスYAとして出力される。アドレスY2は、even側のメモリセルアレイ1の各メモリセルに接続されたカラムセレクト線CSLのうちのカラムセレクト線CSL2に対応するアドレスである。アドレスY3は、odd側のメモリセルアレイ2の各メモリセルに接続されたカラムセレクト線CSLのうちのカラムセレクト線CSL3に対応するアドレスである。

アドレスY0とアドレスY2との関係、アドレスY1とアドレスY3との関係は、下記式：

$$Y2 = Y0 + 2$$

$$Y3 = Y1 + 3$$

で表される。

【0025】

したがって、Yアドレスバッファ回路10は、タイミングT2におけるYアドレスバッファ制御信号YALの立ち上がりエッジに応じて、アドレスYAとしてアドレスY0(even)をカラムデコーダ回路21に出力し、アドレスYAとしてアドレスY1(odd)をカラムデコーダ回路22に出力する。

Yアドレスバッファ回路10は、タイミングT3におけるYアドレスバッファ制御信号NYALの立ち上がりエッジに応じて、アドレスYAとしてアドレスY2(even)をカラムデコーダ回路21に出力し、アドレスYAとしてアドレスY3(odd)をカラムデコーダ回路22に出力する。

【0026】

カラム系コントロール回路14は、タイミングT2におけるYアドレスバッファ制御信号YALに応じて、カラムセレクト線制御信号YSELをアクティブ状態(Hiレベル)にしてカラムデコーダ回路21、22に出力し、ライトアンプ制御信号WAEをアクティブ状態(Hiレベル)にしてライトアンプ回路19、20に出力する。

カラム系コントロール回路14は、タイミングT3におけるYアドレスバッファ制御信号NYALに応じて、カラムセレクト線制御信号YSELをアクティブ状態(Hiレベル)にしてカラムデコーダ回路21、22に出力し、ライトアンプ制御信号WAEをアクティブ状態(Hiレベル)にしてライトアンプ回路19、20に出力する。

【0027】

カラムデコーダ回路21は、タイミングT2におけるカラムセレクト線制御信号YSELに応じて、タイミングT2でカラムセレクト線CSL0(even)を駆動するために、カラムセレクト線CSL0(even)に流れる信号をアクティブ状態(Hiレベル)にする。

カラムデコーダ回路22は、タイミングT2におけるカラムセレクト線制御信号YSELに応じて、タイミングT2でカラムセレクト線CSL1(odd)を駆動するために、カラムセレクト線CSL1(odd)に流れる信号をアクティ

ブ状態 (H i レベル) にする。

カラムデコーダ回路 21 は、タイミング T3 におけるカラムセレクト線制御信号 YSEL に応じて、タイミング T3 でカラムセレクト線 CSL2 (even) を駆動するために、カラムセレクト線 CSL2 (even) に流れる信号をアクティブ状態 (H i レベル) にする。

カラムデコーダ回路 22 は、タイミング T3 におけるカラムセレクト線制御信号 YSEL に応じて、タイミング T3 でカラムセレクト線 CSL3 (odd) を駆動するために、カラムセレクト線 CSL3 (odd) に流れる信号をアクティブ状態 (H i レベル) にする。

【0028】

ライトアンプ回路 19 は、タイミング T2 におけるライトアンプ制御信号 WAE に応じて、ライトバッファ回路 18 からのライトバス WBUS {データ D0 (even)} を書込入力データ IO としてセンスアンプ回路 5 に出力する。センスアンプ回路 5 は、ライトアンプ回路 19 からの書込入力データ IO {データ D0 (even)} をビット線に出力し、ビット線に接続されたメモリセル (アドレス Y0) には書込入力データ IO {データ D0 (even)} が書き込まれる。

ライトアンプ回路 20 は、タイミング T2 におけるライトアンプ制御信号 WAE に応じて、ライトバッファ回路 18 からのライトバス WBUS {データ D1 (odd)} を書込入力データ IO としてセンスアンプ回路 6 に出力する。センスアンプ回路 6 は、ライトアンプ回路 20 からの書込入力データ IO {データ D1 (odd)} をビット線に出力し、ビット線に接続されたメモリセル (アドレス Y1) には書込入力データ IO {データ D1 (odd)} が書き込まれる。

ライトアンプ回路 19 は、タイミング T3 におけるライトアンプ制御信号 WAE に応じて、ライトバッファ回路 18 からのライトバス WBUS {データ D2 (even)} を書込入力データ IO としてセンスアンプ回路 5 に出力する。センスアンプ回路 5 は、ライトアンプ回路 19 からの書込入力データ IO {データ D2 (even)} をビット線に出力し、ビット線に接続されたメモリセル (アドレス Y2) には書込入力データ IO {データ D2 (even)} が書き込まれる。

。

ライトアンプ回路20は、タイミングT3におけるライトアンプ制御信号WAEに応じて、ライトバッファ回路18からのライトバスWBUS {データD3 (odd)} を書込入力データIOとしてセンスアンプ回路6に出力する。センスアンプ回路6は、ライトアンプ回路20からの書込入力データIO {データD3 (odd)} をビット線に出力し、ビット線に接続されたメモリセル(アドレスY3)には書込入力データIO {データD3 (odd)} が書き込まれる。

【0029】

次に、第1従来例の半導体記憶装置のリード動作について説明する。初期動作は、ライト動作時と同様である。

リード動作の条件として、コマンドWEBがリードコマンドを表し、コマンド初段回路11がクロック信号CLKに同期してコマンドCSB、RASB、CASB、WEB(リードコマンド)を入力し、コマンドCCS、CRAS、CCAS、CWE(リードコマンド)をコマンドデコーダ回路12に出力したものとする。アドレス初段回路7がクロック信号CLKに同期してアドレスADDとしてYアドレスであるアドレスY0を入力し、アドレスCADD(アドレスY0)をアドレスラッチ回路8に出力したものとする。

【0030】

図7に示されるように、コマンド初段回路11がクロック信号CLKに同期してリードコマンドを入力するときの時間をP0とする。クロック初段回路13は、時間P0、P1、P2、P3、P4、…、にてクロック信号CLKを入力したときに、そのクロック信号CLKの立ち上がりエッジを検出して、ワンショットパルス信号として内部クロック信号ICLKを、タイミングT0、T1、T2、T3、T4、…、の時間にて出力する。

内部クロック信号ICLKは、クロック信号CLKに対して、(P0-T0)、(P1-T1)、(P2-T2)、(P3-T3)、(P4-T4)、…、の時間差で出力される。

【0031】

コマンドデコーダ回路12は、コマンド初段回路11からコマンドCCS、C

RAS、CCAS、CWE（リードコマンド）を入力すると、タイミングT0における内部クロック信号ICLKの立ち上がりエッジに応じて、コマンド信号WBSTをインアクティブ状態（Lowレベル）にしてカラム系コントロール回路14に出力する。

コマンドデコーダ回路12は、タイミングT0における内部クロック信号ICLKの立ち上がりエッジに応じて、Yアドレスバッファ制御信号YALをワンショットパルス信号としてアクティブ状態（Hiレベル）にしてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

コマンドデコーダ回路12は、タイミングT1における内部クロック信号ICLKの立ち上がりエッジに応じて、Yアドレスバッファ制御信号NYALをワンショットパルス信号としてアクティブ状態（Hiレベル）にしてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

【0032】

アドレスラッチ回路8は、クロック信号CLK（時間P0）に応じて、アドレス初段回路7からのアドレスCADD（アドレスY0）を取込み、タイミングT0における内部クロック信号ICLKの立ち上がりエッジに応じて、そのアドレスCADD（アドレスY0）をアドレスIAとして出力する。

【0033】

Yアドレスバッファ回路10は、アドレスラッチ回路8からのアドレスIA（アドレスY0）をアドレスYAとしてYアドレスバッファ回路10に設けられた図示しないアドレス保持部に取込む。

2nビットプリフェッチ方式のため、タイミングT0にて、ライト動作時と同様に、アドレスYAとして、アドレスY0（カラムセレクト線CSL0に対応）とアドレスY1（カラムセレクト線CSL1に対応）との2種類のYアドレスが出力される。

タイミングT1にて、ライト動作時と同様に、アドレスYAとして、アドレスY2（カラムセレクト線CSL2に対応）とアドレスY3（カラムセレクト線CSL3に対応）との2種類のYアドレスが出力される。

【0034】

したがって、Yアドレスバッファ回路10は、タイミングT0におけるYアドレスバッファ制御信号YALの立ち上がりエッジに応じて、アドレスYAとしてアドレスY0 (even) をカラムデコーダ回路21に出力し、アドレスYAとしてアドレスY1 (odd) をカラムデコーダ回路22に出力する。

Yアドレスバッファ回路10は、タイミングT1におけるYアドレスバッファ制御信号NYALの立ち上がりエッジに応じて、アドレスYAとしてアドレスY2 (even) をカラムデコーダ回路21に出力し、アドレスYAとしてアドレスY3 (odd) をカラムデコーダ回路22に出力する。

【0035】

カラム系コントロール回路14は、タイミングT0におけるYアドレスバッファ制御信号YALに応じて、カラムセレクト線制御信号YSELをアクティブ状態 (Hiレベル) にしてカラムデコーダ回路21、22に出力する。

カラム系コントロール回路14は、タイミングT1におけるYアドレスバッファ制御信号NYALに応じて、カラムセレクト線制御信号YSELをアクティブ状態 (Hiレベル) にしてカラムデコーダ回路21、22に出力する。

【0036】

カラムデコーダ回路21は、タイミングT0におけるカラムセレクト線制御信号YSELに応じて、タイミングT0でカラムセレクト線CSL0 (even) を駆動するために、カラムセレクト線CSL0 (even) に流れる信号をアクティブ状態 (Hiレベル) にする。

カラムデコーダ回路22は、タイミングT0におけるカラムセレクト線制御信号YSELに応じて、タイミングT0でカラムセレクト線CSL1 (odd) を駆動するために、カラムセレクト線CSL1 (odd) に流れる信号をアクティブ状態 (Hiレベル) にする。

カラムデコーダ回路21は、タイミングT1におけるカラムセレクト線制御信号YSELに応じて、タイミングT1でカラムセレクト線CSL2 (even) を駆動するために、カラムセレクト線CSL2 (even) に流れる信号をアクティブ状態 (Hiレベル) にする。

カラムデコーダ回路22は、タイミングT1におけるカラムセレクト線制御信

号 YSEL に応じて、タイミング T1 でカラムセレクト線 CSL3 (odd) を駆動するために、カラムセレクト線 CSL3 (odd) に流れる信号をアクティブ状態 (Hi レベル) にする。

【0037】

このように、第1従来例の半導体記憶装置では、リード動作時にコマンドデコード回路12がYアドレスバッファ制御信号YAL、NYALを出力する時間(タイミングT0、T1)は、ライト動作時にコマンドデコード回路12がYアドレスバッファ制御信号YAL、NYALを出力する時間(タイミングT2、T3)よりも2クロック早い。したがって、リード動作時では、ライト動作時に比べて、カラムセレクト線CSLが活性化されるタイミング(カラムセレクト線CSLに流れる信号がアクティブ状態になるタイミング)が2クロック分早い。このため、使用環境(例示:データ長、バースト長)によっては、アクティブコマンドにより活性化されたセンスアンプ回路5、6のデータが、リードコマンドにより活性化されたカラムセレクト線CSLによって破壊される可能性がある。

【0038】

特表平10-504129号公報では、tAAに利用できる余分の時間をより臨界的なパラメータtRCDにシフトすることによりチップの歩留まりを向上することを特徴とする回路が提案されている。

tAAとは、CAS LATENCY=1に設定したときに、リードコマンドが入力されるクロックから、DQ PADに全てのデータ(x8の場合では8つのデータ全て)が期待値通りに出力されるまでの時間を表し、チップの性能を表す指標として用いられる。

tRCDとは、アクティブコマンドが入力されるクロックから、カラムコマンド(ライトコマンド/リードコマンド)が入力されるクロックまでの時間を表す。

【0039】

第1従来例の半導体記憶装置に上記の特徴を有する場合の半導体記憶装置を第2従来例として説明する。

図8は、第2従来例の半導体記憶装置の回路構成を示す。この第2従来例の半

導体記憶装置におけるメモリ動作（メモリアクセス）としてリード動作の説明については、第1従来例の半導体記憶装置と同様に、カラムセレクト線CSLの活性化までとする。

第2従来例の半導体記憶装置では、第1従来例の半導体記憶装置の回路構成に対して、更に、モード切替回路23を具備する。モード切替回路23は、コマンドデコーダ回路12に接続されている。

【0040】

第2従来例の半導体記憶装置は、通常動作モードとカラムアドレス遅延動作モードとの一方を実行する。通常動作モードとカラムアドレス遅延動作モードとの一方は、使用環境（データ長、バースト長）に応じて決められ、モード切替回路23に予め設定されている。通常動作モードとは、第1従来例の半導体記憶装置のライト動作（図6参照）、リード動作（図7参照）を表す。

通常動作モードに設定されている場合、モード切替回路23は、カラムアドレス遅延制御信号LTAAをインアクティブ状態（Lowレベル）にしてコマンドデコーダ回路12に出力する。この場合、第2従来例の半導体記憶装置では、通常動作モードのライト動作、リード動作を実行する。

カラムアドレス遅延動作モードに設定されている場合、モード切替回路23は、カラムアドレス遅延制御信号LTAAをアクティブ状態（Hiレベル）にしてコマンドデコーダ回路12に出力する。この場合、第2従来例の半導体記憶装置では、カラムアドレス遅延動作モードのライト動作、リード動作を実行する。

【0041】

次に、第2従来例の半導体記憶装置のカラムアドレス遅延動作モードのライト動作について説明する。

図9に示されるように、コマンドデコーダ回路12は、コマンド初段回路11からコマンドCCS、CRAS、CCAS、CWE（ライトコマンド）を入力すると、タイミングT0における内部クロック信号ICLKの立ち上がりエッジに応じて、コマンド信号WBSTをアクティブ状態（Hiレベル）にしてカラム系コントロール回路14に出力する。

コマンドデコーダ回路12は、モード切替回路23からのカラムアドレス遅延

制御信号 L T A A がアクティブ状態である場合、通常動作モードに比べて所定の時間 t_{DERAY} だけ遅らせた時間に Y アドレスバッファ制御信号 Y A L、N Y A L をアクティブ状態 (H i レベル) にして Y アドレスバッファ回路 10、カラム系コントロール回路 14 に出力する。所定の時間 t_{DERAY} は、クロック C L K の立ち上がりから、次のクロック C L K の立ち上がりまでの時間より短く、内部クロック信号 I C L K の立ち上がりから、その内部クロック信号 I C L K の立ち下がりまでの時間より長い。

【0042】

具体的には、カラムアドレス遅延動作モードの場合、コマンドデコード回路 12 は、タイミング T 2 における内部クロック信号 I C L K の立ち上がりエッジを検出してから所定の時間 t_{DERAY} が経過したときに Y アドレスバッファ制御信号 Y A L をアクティブ状態 (H i レベル) にして Y アドレスバッファ回路 10、カラム系コントロール回路 14 に出力する。コマンドデコード回路 12 は、タイミング T 3 における内部クロック信号 I C L K の立ち上がりエッジを検出してから所定の時間 t_{DERAY} が経過したときに Y アドレスバッファ制御信号 N Y A L をアクティブ状態 (H i レベル) にして Y アドレスバッファ回路 10、カラム系コントロール回路 14 に出力する。

【0043】

したがって、ライトバッファ制御信号 W 0 がアクティブ状態 (H i レベル) になるタイミングは、所定の時間 t_{DERAY} だけ遅れる。

データ I D Q {データ D 0 (e v e n)、D 1 (o d d)、D 2 (e v e n)、D 3 (o d d)} がライトバス W B U S として出力されるタイミングは、所定の時間 t_{DERAY} だけ遅れる。

アドレス Y A {アドレス Y 0 (e v e n)、Y 1 (o d d)、Y 2 (e v e n)、Y 3 (o d d)} が出力されるタイミングは、所定の時間 t_{DERAY} だけ遅れる。

カラムセレクト線制御信号 Y S E L がアクティブ状態 (H i レベル) になるタイミングは、所定の時間 t_{DERAY} だけ遅れ、カラムセレクト線 C S L {カラムセレクト線 C S L 0 (e v e n)、C S L 1 (o d d)、C S L 2 (e v e n)

)、CSL3 (odd) } に流れる信号がアクティブ状態 (Hi レベル) になるタイミングは、所定の時間 t_{DERAY} だけ遅れる。

ライトアンプ制御信号 WAE がアクティブ状態 (Hi レベル) になるタイミングは、所定の時間 t_{DERAY} だけ遅れ、ライトバス WBUS {データ D0 (even)、D1 (odd)、D2 (even)、D3 (odd) } が書込入力データ IO として出力されるタイミングは、所定の時間 t_{DERAY} だけ遅れる。ビット線に接続されたメモリセル (アドレス Y0、Y1、Y2、Y3) に書込入力データ IO {データ D0 (even)、D1 (odd)、D2 (even)、D3 (odd) } が書き込まれるタイミングは、所定の時間 t_{DERAY} だけ遅れる。

【0044】

次に、第2従来例の半導体記憶装置のカラムアドレス遅延動作モードのリード動作について説明する。

図10に示されるように、コマンドデコーダ回路12は、コマンド初段回路11からコマンド CCS、CRAS、CCAS、CWE (ライトコマンド) を入力すると、タイミング T0 における内部クロック信号 ICLK の立ち上がりエッジに応じて、コマンド信号 WBS T をインアクティブ状態 (Low レベル) にしてカラム系コントロール回路14に出力する。

コマンドデコーダ回路12は、モード切替回路23からのカラムアドレス遅延制御信号 LTA A がアクティブ状態である場合、通常動作モードに比べて所定の時間 t_{DERAY} だけ遅らせた時間に Y アドレスバッファ制御信号 YAL、NYAL をアクティブ状態 (Hi レベル) にして Y アドレスバッファ回路10、カラム系コントロール回路14に出力する。

【0045】

具体的には、カラムアドレス遅延動作モードの場合、コマンドデコーダ回路12は、タイミング T0 における内部クロック信号 ICLK の立ち上がりエッジを検出してから所定の時間 t_{DERAY} が経過したときに Y アドレスバッファ制御信号 YAL をアクティブ状態 (Hi レベル) にして Y アドレスバッファ回路10、カラム系コントロール回路14に出力する。コマンドデコーダ回路12は、タ

イミング T1 における内部クロック信号 ICLK の立ち上がりエッジを検出してから所定の時間 t_{DERAY} が経過したときに Y アドレスバッファ制御信号 NYAL をアクティブ状態 (Hi レベル) にして Y アドレスバッファ回路 10、カラム系コントロール回路 14 に出力する。

【0046】

したがって、カラムアドレス遅延動作モードでは、アドレス YA {アドレス Y0 (even)、Y1 (odd)、Y2 (even)、Y3 (odd)} が出力されるタイミングは、通常動作モードに比べて所定の時間 t_{DERAY} だけ遅れる。カラムアドレス遅延動作モードでは、カラムセレクト線制御信号 YSEL がアクティブ状態 (Hi レベル) になるタイミングは、通常動作モードに比べて所定の時間 t_{DERAY} だけ遅れ、カラムセレクト線 CSL {カラムセレクト線 CSL0 (even)、CSL1 (odd)、CSL2 (even)、CSL3 (odd)} に流れる信号がアクティブ状態 (Hi レベル) になるタイミングは、通常動作モードに比べて所定の時間 t_{DERAY} だけ遅れる。したがって、第2従来例の半導体記憶装置のカラムアドレス遅延動作モードでは、リード動作時でデータを破壊する可能性がない。

【0047】

また、図8、図10には示していないが、カラムアドレス遅延動作モードでは、カラムセレクト線 CSL に流れる信号がアクティブ状態 (Hi レベル) になるタイミングが通常動作モードに比べて遅れることに伴い、センスアンプ回路 5、6 から DQ PAD までの t_{AAP} が通常動作モードに比べて所定の時間 t_{DERAY} だけ遅れる。このように、カラムアドレス遅延動作モードでは、リード動作の場合、リードコマンドが入力されたときの時間 P0 におけるクロック CLK の立ち上がりから、カラムセレクト線 CSL に流れる信号がアクティブ状態 (Hi レベル) になるタイミングは、通常動作モードに比べて所定の時間 t_{DERAY} だけ遅れる。

このように、第2従来例の半導体記憶装置では、カラムアドレス遅延動作モードの t_{AA} が通常動作モードの t_{AA} に比べて所定の時間 t_{DERAY} だけ遅れるが、カラムアドレス遅延動作モードの t_{RCD} を通常動作モードの t_{RCD} に

比べて所定の時間 t_{DERAY} だけ早めることができる。

【0048】

しかしながら、カラムアドレス遅延動作モードでは、ライト動作の場合でも Y アドレスバッファ制御信号 YAL 、 $NYAL$ がアクティブ状態（Hi レベル）になるタイミングは、通常動作モードに比べて所定の時間 t_{DERAY} だけ遅れる。すなわち、カラムアドレス遅延動作モードでは、ライトコマンドが入力されたときの時間 $P0$ におけるクロック CLK の立ち上がりから、カラムセレクト線 CSL に流れる信号がアクティブ状態（Hi レベル）になるまでの時間が、通常動作モードに比べて所定の時間 t_{DERAY} だけ遅れる。

これにより、カラムアドレス遅延動作モードの t_{WR} についても通常動作モードの t_{WR} に比べて所定の時間 t_{DERAY} だけ遅れてしまう。 t_{WR} とは、ライトコマンドが入力されるクロックの 2 クロック後から、ワード線をリセットする動作を行うための基本クロック（プリチャージコマンドの場合、プリチャージコマンドが入力されるクロック）までの時間を表す。このように、第 1 従来例、第 2 従来例の半導体記憶装置では、使用環境（データ長、バースト長）に応じることができない。

【0049】

【特許文献 1】

特開 2000-40363 号公報

【特許文献 2】

特開 2000-132966 号公報

【特許文献 3】

特開 2002-025255 号公報

【特許文献 4】

特開 2000-268565 号公報

【特許文献 5】

特開 2001-093280 号公報

【特許文献 6】

特表平 10-504129 号公報

【0050】

【発明が解決しようとする課題】

本発明の目的は、使用環境に応じることができる半導体記憶装置を提供することにある。

本発明の他の目的は、カラムアドレス遅延動作モードの t_{WR} が通常動作モードの t_{WR} と同じであり、且つ、カラムアドレス遅延動作モードの t_{RCD} を通常動作モードの t_{RCD} に比べて早めることができる半導体記憶装置を提供することにある。

【0051】

【課題を解決するための手段】

以下に、[発明の実施の形態] で使用する番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、[特許請求の範囲] の記載と [発明の実施の形態] の記載との対応関係を明らかにするために付加されたものであるが、[特許請求の範囲] に記載されている発明の技術的範囲の解釈に用いてはならない。

【0052】

本発明の半導体記憶装置では、 $2n$ ビットプリフェッチ方式が採用される DDR-SDRAM において、使用環境（データ長、バースト長）に応じることができるものである。

この本発明の半導体記憶装置は、複数のメモリセルアレイ（1、2）と、モード制御部（23）と、命令実行部（3～10、14～22）と、コマンド制御部（11、62）とを具備する。複数のメモリセルアレイ（1、2）は、複数のメモリセルを備えている。モード制御部（23）は、遅延制御信号（LTAA）を出力する。命令実行部（3～10、14～22）は、外部からのアドレスとアドレスバッファ制御信号（YAL、NYAL）とに基づいて複数のメモリセルアレイ（1、2）にアクセスする。コマンド制御部（11、62）は、外部からのコマンドと遅延制御信号（LTAA）とに基づいて、アドレスバッファ制御信号（YAL、NYAL）を命令実行部（3～10、14～22）に出力する。

このコマンド制御部（11、62）は、遅延制御信号（LTAA）がインアク

タイプ状態であり、コマンドがライトコマンド又はリードコマンドである（I、II）通常動作モードのときに、クロック信号（ICLK）に同期してアドレスバッファ制御信号（YAL、NYAL）を出力する。

コマンド制御部（11、62）は、遅延制御信号（LTA）がアクティブ状態であり、コマンドがライトコマンドである（III）ライト命令遅延動作モードのときに、クロック信号（ICLK）に同期してアドレスバッファ制御信号（YAL、NYAL）を出力する。

コマンド制御部（11、62）は、遅延制御信号（LTA）がアクティブ状態であり、コマンドがリードコマンドである（IV）リード命令遅延動作モードのときに、クロック信号（ICLK）から遅延してアドレスバッファ制御信号（YAL、NYAL）を出力する。

【0053】

このように、（III）ライト命令遅延動作モード（カラムアドレス遅延動作モード）では、ライト動作時に、アドレスバッファ制御信号（YAL、NYAL）が出力されるタイミング（アクティブ状態になるタイミング）が（I）通常動作モードと同じである。このため、カラムアドレス遅延動作モードの t_{WR} （ライトコマンドが入力されるクロックの2クロック後から、ワード線をリセットする動作を行うための基本クロックまでの時間）は、通常動作モードの t_{WR} と同じである。

【0054】

一方、（IV）リード命令遅延動作モード（カラムアドレス遅延動作モード）では、リード動作時に、アドレスバッファ制御信号（YAL、NYAL）が出力されるタイミング（アクティブ状態になるタイミング）は、通常動作モードに比べて所定の時間（ t_{DELAY} ）だけ遅れる。したがって、カラムアドレス遅延動作モードでは、アクティブコマンドにより活性化された命令実行部（センスアンプ回路（5、6））のデータが、複数のメモリセルに接続されていてリードコマンドにより活性化されたカラムセレクト線（CSL）によって破壊されない。

【0055】

本発明の半導体記憶装置では、カラムアドレス遅延動作モードの t_{AA} （リー



ドコマンドが入力されるクロックから、DQ PADに全てのデータが期待値通りに出力されるまでの時間)が通常動作モードの t_{AA} に比べて所定の時間(t_{DERAY})だけ遅れるが、カラムアドレス遅延動作モードの t_{RCD} (アクティブコマンドが入力されるクロックから、カラムコマンドが入力されるクロックまでの時間)を通常動作モードの t_{RCD} に比べて所定の時間(t_{DERAY})だけ早めることができる。

【0056】

このように、本発明の半導体記憶装置は、2nビットプリフェッチ方式が採用されるDDR-SDRAMにおいて、使用環境(データ長、バースト長)に応じることができる。

【0057】

コマンド制御部(11、62)は、コマンドがライトコマンドであるときに、クロック信号(ICLK)に同期してコマンド信号(WBST)をアクティブ状態にして命令実行部(3~10、14~22)に出力する。

コマンド制御部(11、62)は、コマンドがリードコマンドであるときに、クロック信号(ICLK)に同期してコマンド信号(WBST)をインアクティブ状態にして命令実行部(3~10、14~22)に出力する。

命令実行部(3~10、14~22)は、アドレスとアドレスバッファ制御信号(YAL、NYAL)とコマンド信号(WBST)とに基づいて、メモリセルアレイ(1、2)にアクセスする。

【0058】

コマンド制御部(11、62)は、コマンドデコーダ回路(62)を備えている。このコマンドデコーダ回路(62)は、制御回路(31)と、遅延回路(38、39)と、マルチプレクサ回路(40、50)とを備えている。

制御回路(31)は、外部からのコマンドを入力し、第1クロック信号(ICLK)に同期してコマンド信号(WBST)を出力し、第2クロック信号(ICLK)に同期してアドレスバッファ制御信号(YAL、NYAL)を出力する。

遅延回路(38、39)は、アドレスバッファ制御信号(YAL、NYAL)を遅延して出力する。

マルチプレクサ回路(40、50)は、モード制御部(23)からの遅延制御信号(LTAA)とコマンド信号(WBST)とに基づいて、アドレスバッファ制御信号(YAL、NYAL)と遅延回路(38、39)により遅延されたアドレスバッファ制御信号(YAL、NYAL)との一方を選択して命令実行部(3~10、14~22)に出力する。

【0059】

命令実行部(3~10、14~22)は、コマンド信号(WBST)がアクティブ状態であるときに、アドレスバッファ制御信号(YAL、NYAL)に基づいて、アドレスにデータを書込む。

【0060】

命令実行部(3~10、14~22)は、コマンド信号(WBST)がインアクティブ状態であるときに、アドレスバッファ制御信号(YAL、NYAL)に基づいて、アドレスから、データを読み出す。

【0061】

本発明のコンピュータ(図示しない)は、上記の半導体記憶装置を具備する。

【0062】

【発明の実施の形態】

添付図面を参照して、本発明による半導体記憶装置の実施の形態として、2nビットプリフェッチ方式が採用されるDDR-SDRAMを例にして説明する。本発明の半導体記憶装置では、第1従来例、第2従来例の半導体記憶装置と同様の構成に同じ符合を付している。本発明では、第1従来例、第2従来例の半導体記憶装置と重複する説明を省略する。

【0063】

図1は、本発明の半導体記憶装置の回路構成を示す。この図1に示される本発明の半導体記憶装置におけるメモリ動作(メモリアクセス)としてリード動作の説明についてはカラムセレクト線CSLの活性化までとする。

【0064】

本発明の半導体記憶装置は、複数のメモリセルを備えた複数のメモリセルアレイ1、2と、クロック初段回路13と、カラムアドレス遅延制御信号LTAAを

出力するモード切替回路 23 と、命令実行部と、コマンド制御部とを具備する。

本発明の半導体記憶装置は、コンピュータに搭載されている。このコンピュータとは、第1従来例、第2従来例の半導体記憶装置に搭載されたコンピュータと同じである。命令実行部は、そのコンピュータに備えられたCPUからアドレスを入力する。コマンド制御部は、そのCPUからコマンドを入力する。

命令実行部は、ロウデコーダ回路 3、4、センスアンプ回路 5、6、アドレス初段回路 7、アドレスラッチ回路 8、Xアドレスバッファ回路 9、Yアドレスバッファ回路 10、カラム系コントロール回路 14、データ初段回路 15、データストロープ初段回路 16、データラッチ回路 17、ライトバッファ回路 18、ライトアンプ回路 19、20、カラムデコーダ回路 21、22を含む。

コマンド制御部は、コマンド初段回路 11、コマンドデコーダ回路 62を含む。コマンドデコーダ回路 62については、コマンドデコーダ回路 12の変更点のみ説明する。

【0065】

コマンドデコーダ回路 62 は、そのコマンドがライトコマンドであるときに、クロック初段回路 13 からの内部クロック信号 ICLK に同期してコマンド信号 WBST をアクティブ状態にして命令実行部（Yアドレスバッファ回路 10、カラム系コントロール回路 14）に出力する。

コマンドデコーダ回路 62 は、コマンドがリードコマンドであるときに、内部クロック信号 ICLK に同期してコマンド信号 WBST をインアクティブ状態にして命令実行部（Yアドレスバッファ回路 10、カラム系コントロール回路 14）に出力する。

コマンドデコーダ回路 62 は、そのコマンドとモード切替回路 23 からのカラムアドレス遅延制御信号 LTAA とに基づいて、Yアドレスバッファ制御信号 YAL、NYAL をアクティブ状態にして命令実行部（Yアドレスバッファ回路 10、カラム系コントロール回路 14）に出力する。

【0066】

命令実行部は、アドレスとYアドレスバッファ制御信号 YAL、NYAL とコマンド信号 WBST とに基づいて複数のメモリセルアレイ 1、2 にアクセスする

。

この命令実行部は、コマンド信号WBSTがアクティブ状態であるときに、Yアドレスバッファ制御信号YAL、NYALに基づいて、アドレスにデータを書込む。

命令実行部は、コマンド信号WBSTがインアクティブ状態であるときに、Yアドレスバッファ制御信号YAL、NYALに基づいて、アドレスから、データを読み出す。

【0067】

本発明の半導体記憶装置では、第2従来例の半導体記憶装置と同様に、通常動作モードとカラムアドレス遅延動作モードとの一方を実行する。通常動作モードとカラムアドレス遅延動作モードとの一方は、使用環境（例示：データ長、バースト長）に応じて決められ、モード切替回路23に予め設定されている。通常動作モードとは、前述の第1従来例の半導体記憶装置のライト動作（図6参照）、リード動作（図7参照）を表す。

通常動作モードに設定されている場合、モード切替回路23は、カラムアドレス遅延制御信号LTAAをインアクティブ状態（Lowレベル）にしてコマンドデコード回路62に出力する。この場合、本発明の半導体記憶装置では、通常動作モードのライト動作、リード動作を実行する。

カラムアドレス遅延動作モードに設定されている場合、モード切替回路23は、カラムアドレス遅延制御信号LTAAをアクティブ状態（Hiレベル）にしてコマンドデコード回路62に出力する。この場合、本発明の半導体記憶装置では、カラムアドレス遅延動作モードのライト動作、リード動作を実行する。

【0068】

（I）通常動作モードとして、カラムアドレス遅延制御信号LTAAがインアクティブ状態であり、コマンドがライトコマンドであるときに、コマンドデコード回路62は、内部クロック信号ICKに同期してYアドレスバッファ制御信号YAL、NYALをアクティブ状態にしてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

（II）通常動作モードとして、カラムアドレス遅延制御信号LTAAがイン

アクティブ状態であり、コマンドがリードコマンドであるときに、コマンドデコーダ回路 62 は、内部クロック信号 ICLK に同期して Y アドレスバッファ制御信号 YAL、NYAL を Y アドレスバッファ回路 10、カラム系コントロール回路 14 に出力する。

(III) カラムアドレス遅延動作モードとして、カラムアドレス遅延制御信号 LTAA がアクティブ状態であり、コマンドがライトコマンドであるときに、コマンドデコーダ回路 62 は、内部クロック信号 ICLK に同期して Y アドレスバッファ制御信号 YAL、NYAL を Y アドレスバッファ回路 10、カラム系コントロール回路 14 に出力する。

(IV) カラムアドレス遅延動作モードとして、カラムアドレス遅延制御信号 LTAA がアクティブ状態であり、コマンドがリードコマンドであるときに、コマンドデコーダ回路 62 は、内部クロック信号 ICLK から所定の時間 t_{DERAY} だけ遅延して Y アドレスバッファ制御信号 YAL、NYAL を Y アドレスバッファ回路 10、カラム系コントロール回路 14 に出力する。

【0069】

図 4 は、上述のコマンドデコーダ回路 62 の構成を示す。コマンドデコーダ回路 62 は、制御回路 31、反転素子 32、34、35、36、37、NAND 回路 33、DERAY 回路 38、39、マルチプレクサ回路 40、50 を備えている。

DERAY 回路 38、39 は偶数個の反転素子を備え、各反転素子は直列に接続されている。マルチプレクサ回路 40 は、反転素子 41、46、P チャネル MOS トランジスタ (PMOS トランジスタ) 42、44、N チャネル MOS トランジスタ (NMOS トランジスタ) 43、45 を備えている。マルチプレクサ回路 50 は、反転素子 51、56、PMOS トランジスタ 52、54、NMOS トランジスタ 53、55 を備えている。

【0070】

制御回路 31 には、コマンド初段回路 11、クロック初段回路 13、カラム系コントロール回路 14 が接続されている。反転素子 32 の入力端子には制御回路 31 が接続され、反転素子 32 の出力端子は、NAND 回路 33 の 2 入力端子の

うちの一方の入力端子に接続されている。NAND回路33の2入力端子のうちの他方の入力端子には、モード切替回路23が接続されている。NAND回路33の出力端子は、反転素子41の入力端子、NMOSトランジスタ43のゲート電極、PMOSトランジスタ44のゲート電極、反転素子51の入力端子、NMOSトランジスタ53のゲート電極、PMOSトランジスタ54のゲート電極に接続されている。

【0071】

反転素子34、36の入力端子には制御回路31が接続され、反転素子34の出力端子は、PMOSトランジスタ42のソース電極、NMOSトランジスタ43のドレイン電極に接続されている。反転素子36の出力端子は、DERAY回路38の初段の反転素子の入力端子に接続されている。DERAY回路38の最終段の反転素子の出力端子は、PMOSトランジスタ44のソース電極、NMOSトランジスタ45のドレイン電極に接続されている。反転素子41の出力端子は、PMOSトランジスタ42のゲート電極、NMOSトランジスタ45のゲート電極に接続されている。反転素子46の入力端子には、PMOSトランジスタ42のドレイン電極、NMOSトランジスタ43のソース電極、PMOSトランジスタ44のドレイン電極、NMOSトランジスタ45のソース電極が接続されている。反転素子46の出力端子は、Yアドレスバッファ回路10、カラム系コントロール回路14に接続されている。

【0072】

反転素子35、37の入力端子には制御回路31が接続され、反転素子35の出力端子は、PMOSトランジスタ52のソース電極、NMOSトランジスタ53のドレイン電極に接続されている。反転素子37の出力端子は、DERAY回路39の初段の反転素子の入力端子に接続されている。DERAY回路39の最終段の反転素子の出力端子は、PMOSトランジスタ54のソース電極、NMOSトランジスタ55のドレイン電極に接続されている。反転素子51の出力端子は、PMOSトランジスタ52のゲート電極、NMOSトランジスタ55のゲート電極に接続されている。反転素子56の入力端子には、PMOSトランジスタ52のドレイン電極、NMOSトランジスタ53のソース電極、PMOSトラン

ジスタ 54 のドレイン電極、NMOS トランジスタ 55 のソース電極が接続されている。反転素子 56 の出力端子は、Y アドレスバッファ回路 10、カラム系コントロール回路 14 に接続されている。

【0073】

まず、(I) 通常動作モードとして、カラムアドレス遅延制御信号 L T A A がインアクティブ状態であり、コマンドがライトコマンドであるときのコマンドデコーダ回路 62 の動作を説明する。モード切替回路 23 は、カラムアドレス遅延制御信号 L T A A をインアクティブ状態 (L o w レベル “0”) にしてコマンドデコーダ回路 62 の N A N D 回路 33 の一方の入力端子に出力する。

【0074】

制御回路 31 は、コマンド初段回路 11 からコマンド C C S、C R A S、C C A S、C W E (ライトコマンド) を入力すると、クロック初段回路 13 からのタイミング T0 における内部クロック信号 I C L K の立ち上がりエッジに応じて、コマンド信号 W B S T をアクティブ状態 (H i レベル “1”) にしてカラム系コントロール回路 14 と反転素子 32 の入力端子とに出力する。反転素子 32 は、コマンド信号 W B S T “1” を L o w レベル “0” にして N A N D 回路 33 の他方の入力端子に出力する。

N A N D 回路 33 は、カラムアドレス遅延制御信号 L T A A “0” とコマンド信号 W B S T “0” とにより出力信号を H i レベル “1” にして反転素子 41 の入力端子、NMOS トランジスタ 43 のゲート電極、P M O S トランジスタ 44 のゲート電極、反転素子 51 の入力端子、NMOS トランジスタ 53 のゲート電極、P M O S トランジスタ 54 のゲート電極に出力する。これにより、スイッチとして働く P M O S トランジスタ 42、52、NMOS トランジスタ 43、53 はオンになる。

【0075】

制御回路 31 は、タイミング T2 における内部クロック信号 I C L K の立ち上がりエッジに応じて、Y アドレスバッファ制御信号 Y A L 0 をワンショットパルス信号 (H i レベル “1”) として反転素子 34、36 の入力端子に出力する。

反転素子 34 は、Y アドレスバッファ制御信号 Y A L 0 を L o w レベル “0”

にしてPMOSトランジスタ42のドレイン電極、NMOSトランジスタ43のドレイン電極に出力する。このとき、PMOSトランジスタ42、NMOSトランジスタ43がオンであるため、反転素子34からのYアドレスバッファ制御信号YAL0“0”は、PMOSトランジスタ42、NMOSトランジスタ43を介して反転素子46の入力端子に出力される。

反転素子46は、そのYアドレスバッファ制御信号YAL0“0”をHiレベル“1”にして、前述のYアドレスバッファ制御信号YAL“1”としてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

【0076】

制御回路31は、タイミングT3における内部クロック信号ICLKの立ち上がりエッジに応じて、Yアドレスバッファ制御信号NYAL0をワンショットパルス信号（Hiレベル“1”）として反転素子35、37の入力端子に出力する。

反転素子35は、Yアドレスバッファ制御信号NYAL0をLowレベル“0”にしてPMOSトランジスタ52のドレイン電極、NMOSトランジスタ53のドレイン電極に出力する。このとき、PMOSトランジスタ52、NMOSトランジスタ53がオンであるため、反転素子35からのYアドレスバッファ制御信号NYAL0“0”は、PMOSトランジスタ52、NMOSトランジスタ53を介して反転素子56の入力端子に出力される。

反転素子56は、そのYアドレスバッファ制御信号NYAL0“0”をHiレベル“1”にして、前述のYアドレスバッファ制御信号NYAL“1”としてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

【0077】

次に、(II)通常動作モードとして、カラムアドレス遅延制御信号LTAAがインアクティブ状態であり、コマンドがリードコマンドであるときのコマンドデコード回路62の動作を説明する。モード切替回路23は、カラムアドレス遅延制御信号LTAAをインアクティブ状態（Lowレベル“0”）にしてコマンドデコード回路62のNAND回路33の一方の入力端子に出力する。

【0078】

制御回路 31 は、コマンド初段回路 11 からコマンド CCS、CRAS、CCAS、CWE（リードコマンド）を入力すると、クロック初段回路 13 からのタイミング T0 における内部クロック信号 ICLK の立ち上がりエッジに応じて、コマンド信号 WBS T をインアクティブ状態（Low レベル “0”）にしてカラム系コントロール回路 14 と反転素子 32 の入力端子とに出力する。反転素子 32 は、コマンド信号 WBS T “0” を Hi レベル “1” にして NAND 回路 33 の他方の入力端子に出力する。

NAND 回路 33 は、カラムアドレス遅延制御信号 LTAA “0” とコマンド信号 WBS T “1” とにより出力信号を Hi レベル “1” にして反転素子 41 の入力端子、NMOS トランジスタ 43 のゲート電極、PMOS トランジスタ 44 のゲート電極、反転素子 51 の入力端子、NMOS トランジスタ 53 のゲート電極、PMOS トランジスタ 54 のゲート電極に出力する。これにより、スイッチとして働く PMOS トランジスタ 42、52、NMOS トランジスタ 43、53 はオンになる。

【0079】

制御回路 31 は、タイミング T0 における内部クロック信号 ICLK の立ち上がりエッジに応じて、Y アドレスバッファ制御信号 YAL0 をワンショットパルス信号（Hi レベル “1”）として反転素子 34、36 の入力端子に出力する。

反転素子 34 は、Y アドレスバッファ制御信号 YAL0 を Low レベル “0” にして PMOS トランジスタ 42 のドレイン電極、NMOS トランジスタ 43 のドレイン電極に出力する。このとき、PMOS トランジスタ 42、NMOS トランジスタ 43 がオンであるため、反転素子 34 からの Y アドレスバッファ制御信号 YAL0 “0” は、PMOS トランジスタ 42、NMOS トランジスタ 43 を介して反転素子 46 の入力端子に出力される。

反転素子 46 は、その Y アドレスバッファ制御信号 YAL0 “0” を Hi レベル “1” にして、前述の Y アドレスバッファ制御信号 YAL “1” として Y アドレスバッファ回路 10、カラム系コントロール回路 14 に出力する。

【0080】

制御回路 31 は、タイミング T1 における内部クロック信号 ICLK の立ち上

がりエッジに応じて、Yアドレスバッファ制御信号NYAL0をワンショットパルス信号（Hiレベル“1”）として反転素子35、37の入力端子に出力する。

反転素子35は、Yアドレスバッファ制御信号NYAL0をLowレベル“0”にしてPMOSトランジスタ52のドレイン電極、NMOSトランジスタ53のドレイン電極に出力する。このとき、PMOSトランジスタ52、NMOSトランジスタ53がオンであるため、反転素子35からのYアドレスバッファ制御信号NYAL0“0”は、PMOSトランジスタ52、NMOSトランジスタ53を介して反転素子56の入力端子に出力される。

反転素子56は、そのYアドレスバッファ制御信号NYAL0“0”をHiレベル“1”にして、前述のYアドレスバッファ制御信号NYAL“1”としてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

【0081】

次に、（III）カラムアドレス遅延動作モードとして、カラムアドレス遅延制御信号LTAAがアクティブ状態であり、コマンドがライトコマンドであるときのコマンドデコーダ回路62の動作を説明する。モード切替回路23は、カラムアドレス遅延制御信号LTAAをアクティブ状態（Hiレベル“1”）にしてコマンドデコーダ回路62のNAND回路33の一方の入力端子に出力する。

この場合、NAND回路33は、カラムアドレス遅延制御信号LTAA“1”とコマンド信号WBST“0”とにより出力信号をHiレベル“1”にして反転素子41の入力端子、NMOSトランジスタ43のゲート電極、PMOSトランジスタ44のゲート電極、反転素子51の入力端子、NMOSトランジスタ53のゲート電極、PMOSトランジスタ54のゲート電極に出力する。これにより、スイッチとして働くPMOSトランジスタ42、52、NMOSトランジスタ43、53はオンになり、それ以降は（I）、（II）の場合と同じである。

【0082】

次に、（IV）カラムアドレス遅延動作モードとして、カラムアドレス遅延制御信号LTAAがアクティブ状態であり、コマンドがリードコマンドであるときのコマンドデコーダ回路62の動作を説明する。モード切替回路23は、カラム

アドレス遅延制御信号 L T A A をアクティブ状態 (H i レベル “1”) にしてコマンドデコーダ回路 6 2 の N A N D 回路 3 3 の一方の入力端子に出力する。

【0083】

制御回路 3 1 は、コマンド初段回路 1 1 からコマンド C C S、C R A S、C C A S、C W E (リードコマンド) を入力すると、クロック初段回路 1 3 からのタイミング T 0 における内部クロック信号 I C L K の立ち上がりエッジに応じて、コマンド信号 W B S T をインアクティブ状態 (L o w レベル “0”) にしてカラム系コントロール回路 1 4 と反転素子 3 2 の入力端子とに出力する。反転素子 3 2 は、コマンド信号 W B S T “0” を H i レベル “1” にして N A N D 回路 3 3 の他方の入力端子に出力する。

N A N D 回路 3 3 は、カラムアドレス遅延制御信号 L T A A “1” とコマンド信号 W B S T “1” とにより出力信号を L o w レベル “0” にして反転素子 4 1 の入力端子、N M O S トランジスタ 4 3 のゲート電極、P M O S トランジスタ 4 4 のゲート電極、反転素子 5 1 の入力端子、N M O S トランジスタ 5 3 のゲート電極、P M O S トランジスタ 5 4 のゲート電極に出力する。これにより、スイッチとして働く P M O S トランジスタ 4 4、5 4、N M O S トランジスタ 4 5、5 5 はオンになる。

【0084】

制御回路 3 1 は、タイミング T 0 における内部クロック信号 I C L K の立ち上がりエッジに応じて、Y アドレスバッファ制御信号 Y A L 0 をワンショットパルス信号 (H i レベル “1”) として反転素子 3 4、3 6 の入力端子に出力する。

反転素子 3 6 は、Y アドレスバッファ制御信号 Y A L 0 を L o w レベル “0” にして D E R A Y 回路 3 8 の初段の反転素子の入力端子に出力する。D E R A Y 回路 3 8 の各反転素子が順に Y アドレスバッファ制御信号 Y A L 0 のレベルを反転する。D E R A Y 回路 3 8 の各反転素子が順に Y アドレスバッファ制御信号 Y A L 0 のレベルを反転したときに要する時間は、前述の所定の時間 t D E R A Y に相当する。D E R A Y 回路 3 8 の最終段の反転素子は、Y アドレスバッファ制御信号 Y A L 0 を L o w レベル “0” にして P M O S トランジスタ 4 4 のドレイン電極、N M O S トランジスタ 4 5 のドレイン電極に出力する。このとき、P M

OSトランジスタ44、NMOSトランジスタ45がオンであるため、DERAY回路38からのYアドレスバッファ制御信号YAL0“0”は、PMOSトランジスタ42、NMOSトランジスタ43を介して反転素子46の入力端子に出力される。

反転素子46は、そのYアドレスバッファ制御信号YAL0“0”をHiレベル“1”にして、前述のYアドレスバッファ制御信号YAL“1”としてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

【0085】

制御回路31は、タイミングT1における内部クロック信号ICLKの立ち上がりエッジに応じて、Yアドレスバッファ制御信号NYAL0をワンショットパルス信号（Hiレベル“1”）として反転素子35、37の入力端子に出力する。

反転素子37は、Yアドレスバッファ制御信号NYAL0をLowレベル“0”にしてDERAY回路39の初段の反転素子の入力端子に出力する。DERAY回路39の各反転素子が順にYアドレスバッファ制御信号NYAL0のレベルを反転する。DERAY回路39の各反転素子が順にYアドレスバッファ制御信号NYAL0のレベルを反転したときに要する時間は、前述の所定の時間 t_{DERAY} に相当する。DERAY回路39の最終段の反転素子は、Yアドレスバッファ制御信号NYAL0をLowレベル“0”にしてPMOSトランジスタ54のドレイン電極、NMOSトランジスタ55のドレイン電極に出力する。このとき、PMOSトランジスタ54、NMOSトランジスタ55がオンであるため、DERAY回路39からのYアドレスバッファ制御信号NYAL0“0”は、PMOSトランジスタ52、NMOSトランジスタ53を介して反転素子56の入力端子に出力される。

反転素子46は、そのYアドレスバッファ制御信号NYAL0“0”をHiレベル“1”にして、前述のYアドレスバッファ制御信号NYAL“1”としてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

【0086】

図2は、本発明の半導体記憶装置の（III）カラムアドレス遅延動作モード

のライト動作を示すタイミングチャートである。図3は、本発明の半導体記憶装置の（IV）カラムアドレス遅延動作モードのリード動作を示すタイミングチャートである。

【0087】

まず、（III）カラムアドレス遅延動作モードのライト動作について説明する。

図2に示されるように、コマンドデコーダ回路62は、コマンド初段回路11からコマンドCCS、CRAS、CCAS、CWE（ライトコマンド）を入力すると、タイミングT0における内部クロック信号ICLKの立ち上がりエッジに応じて、コマンド信号WBSTをアクティブ状態（Hiレベル）にしてカラム系コントロール回路14に出力する。

コマンドデコーダ回路62は、モード切替回路23からのカラムアドレス遅延制御信号LTAAがアクティブ状態であるか否かに関わらず、タイミングT2における内部クロック信号ICLKの立ち上がりエッジに応じて、Yアドレスバッファ制御信号YALをワンショットパルス信号としてアクティブ状態（Hiレベル）にしてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

コマンドデコーダ回路62は、モード切替回路23からのカラムアドレス遅延制御信号LTAAがアクティブ状態であるか否かに関わらず、タイミングT3における内部クロック信号ICLKの立ち上がりエッジに応じて、Yアドレスバッファ制御信号NYALをワンショットパルス信号としてアクティブ状態（Hiレベル）にしてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

それ以降、本発明の半導体記憶装置は、（I）通常動作モードと同様のライト動作を実行する。

【0088】

このように、本発明の半導体記憶装置のカラムアドレス遅延動作モードでは、ライト動作時に、Yアドレスバッファ制御信号YAL、NYALがアクティブ状態になるタイミングが通常動作モードと同じである。すなわち、本発明の半導体

記憶装置のカラムアドレス遅延動作モードでは、ライトコマンドが入力されたときの時間 P_0 におけるクロック CLK の立ち上がりから、カラムセレクト線 CSL に流れる信号がアクティブ状態（ H_i レベル）になるまでの時間は、通常動作モードと同じである。このため、本発明の半導体記憶装置では、カラムアドレス遅延動作モードの t_{WR} （ライトコマンドが入力されるクロックの 2 クロック後から、ワード線をリセットする動作を行うための基本クロックまでの時間）が通常動作モードの t_{WR} と同じである。

【0089】

一方、（ IV ）カラムアドレス遅延動作モードのリード動作では、第 2 従来例の半導体記憶装置のカラムアドレス遅延動作モードのリード動作を実行する。すなわち、本発明の半導体記憶装置のカラムアドレス遅延動作モードでは、リード動作時に、 Y アドレスバッファ制御信号 YAL 、 $NYAL$ がアクティブ状態になるタイミングは、通常動作モードに比べて所定の時間 t_{DERAY} だけ遅れる。

図 1、図 3 には示していないが、カラムアドレス遅延動作モードでは、カラムセレクト線 CSL に流れる信号がアクティブ状態（ H_i レベル）になるタイミングが通常動作モードに比べて遅れることに伴い、センスアンプ回路 5、6 から DQ PAD までの t_{AAP} が通常動作モードに比べて所定の時間 t_{DERAY} だけ遅れる。

【0090】

このように、本発明の半導体記憶装置のカラムアドレス遅延動作モードでは、リード動作時に、カラムセレクト線 CSL に流れる信号がアクティブ状態（ H_i レベル）になるタイミングは、通常動作モードに比べて所定の時間 t_{DERAY} だけ遅れる。したがって、本発明の半導体記憶装置のカラムアドレス遅延動作モードでは、アクティブコマンドにより活性化されたセンスアンプ回路 5、6 のデータが、リードコマンドにより活性化されたカラムセレクト線 CSL によって破壊されることがない。

【0091】

カラムアドレス遅延動作モード（リード動作）時にカラムセレクト線 CSL に流れる信号がアクティブ状態（ H_i レベル）になるタイミングは、カラムアドレ

ス遅延動作モード（ライト動作）時にカラムセレクト線CSLに流れる信号がアクティブ状態（Hiレベル）になるタイミングよりも2クロック分早いため、 t_{RCD} は、リード動作時の t_{RCD} に律速される。このため、本発明の半導体記憶装置では、カラムアドレス遅延動作モードの t_{AA} （リードコマンドが入力されるクロックから、DQ PADに全てのデータが期待値通りに出力されるまでの時間）が、通常動作モードの t_{AA} に比べて所定の時間 t_{DERAY} だけ遅れるが、カラムアドレス遅延動作モードの t_{RCD} （アクティブコマンドが入力されるクロックから、カラムコマンドが入力されるクロックまでの時間）を通常動作モードの t_{RCD} に比べて所定の時間 t_{DERAY} だけ早めることができる。

【0092】

このように、本発明の半導体記憶装置は、2nビットプリフェッチ方式が採用されるDDR-SDRAMにおいて、使用環境（データ長、バースト長）に応じることができる。

【0093】

【発明の効果】

以上の説明により、本発明の半導体記憶装置は、使用環境に応じることができる。

本発明の半導体記憶装置は、カラムアドレス遅延動作モードの t_{WR} が通常動作モードの t_{WR} と同じであり、且つ、カラムアドレス遅延動作モードの t_{RCD} を通常動作モードの t_{RCD} に比べて早めることができる。

【図面の簡単な説明】

【図1】

図1は、本発明の半導体記憶装置の回路構成を示す。

【図2】

図2は、本発明の半導体記憶装置の遅延動作モードのライト動作を示すタイミングチャートである。

【図3】

図3は、本発明の半導体記憶装置の遅延動作モードのリード動作を示すタイミングチャートである。

【図 4】

図 4 は、本発明の半導体記憶装置のコマンドデコード回路の構成を示す。

【図 5】

図 5 は、第 1 従来例の半導体記憶装置の回路構成を示す。

【図 6】

図 6 は、第 1 従来例の半導体記憶装置のライト動作を示すタイミングチャートである。

【図 7】

図 7 は、第 1 従来例の半導体記憶装置のリード動作を示すタイミングチャートである。

【図 8】

図 8 は、第 2 従来例の半導体記憶装置の回路構成を示す。

【図 9】

図 9 は、第 2 従来例の半導体記憶装置の遅延動作モードのライト動作を示すタイミングチャートである。

【図 10】

図 10 は、第 2 従来例の半導体記憶装置の遅延動作モードのリード動作を示すタイミングチャートである。

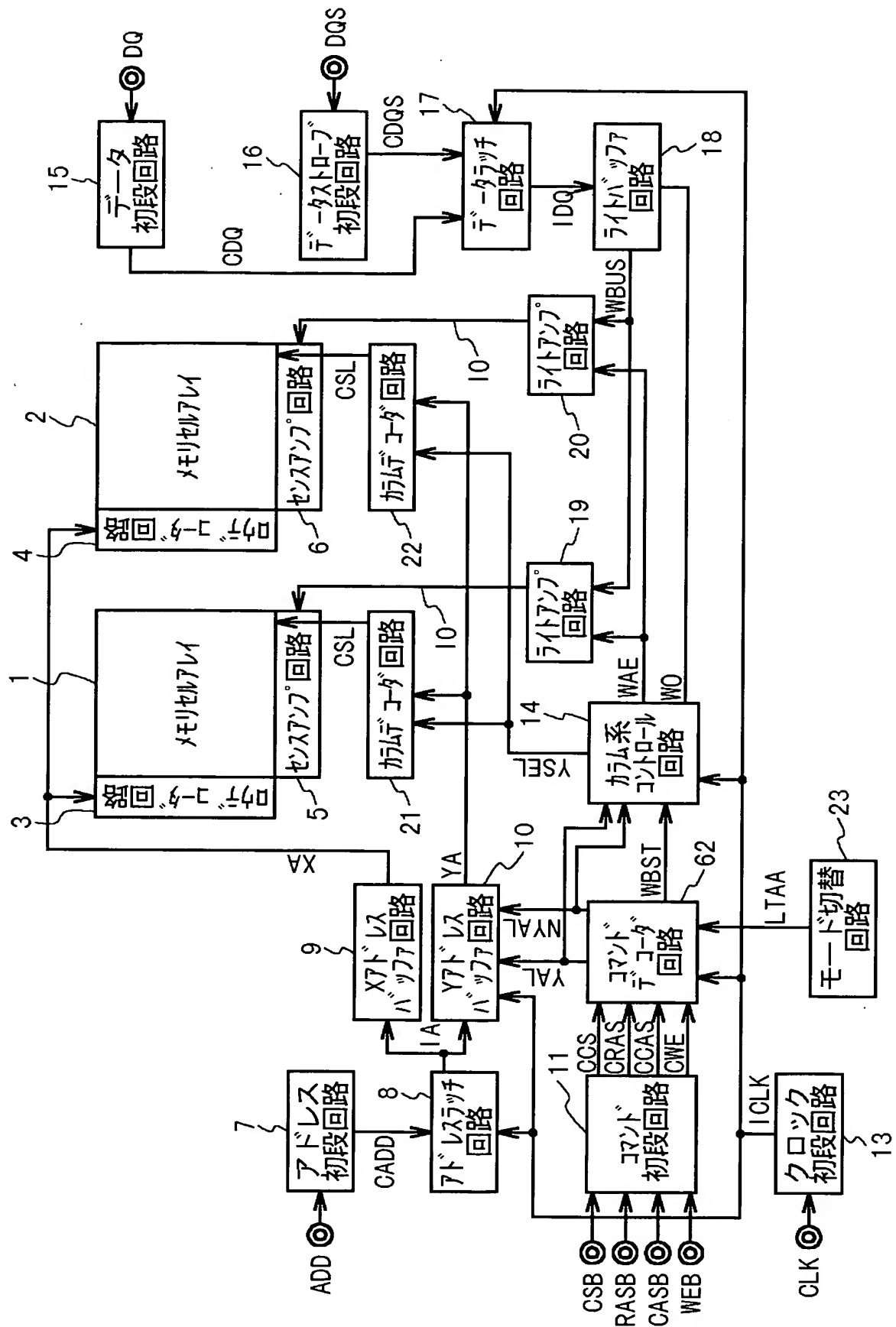
【符号の説明】

- 1、2 メモリセルアレイ
- 3、4 ロウデコード回路
- 5、6 センスアンプ回路
- 7 アドレス初段回路
- 8 アドレスラッチ回路
- 9 Xアドレスバッファ回路
- 10 Yアドレスバッファ回路
- 11 コマンド初段回路
- 12 コマンドデコード回路
- 13 クロック初段回路

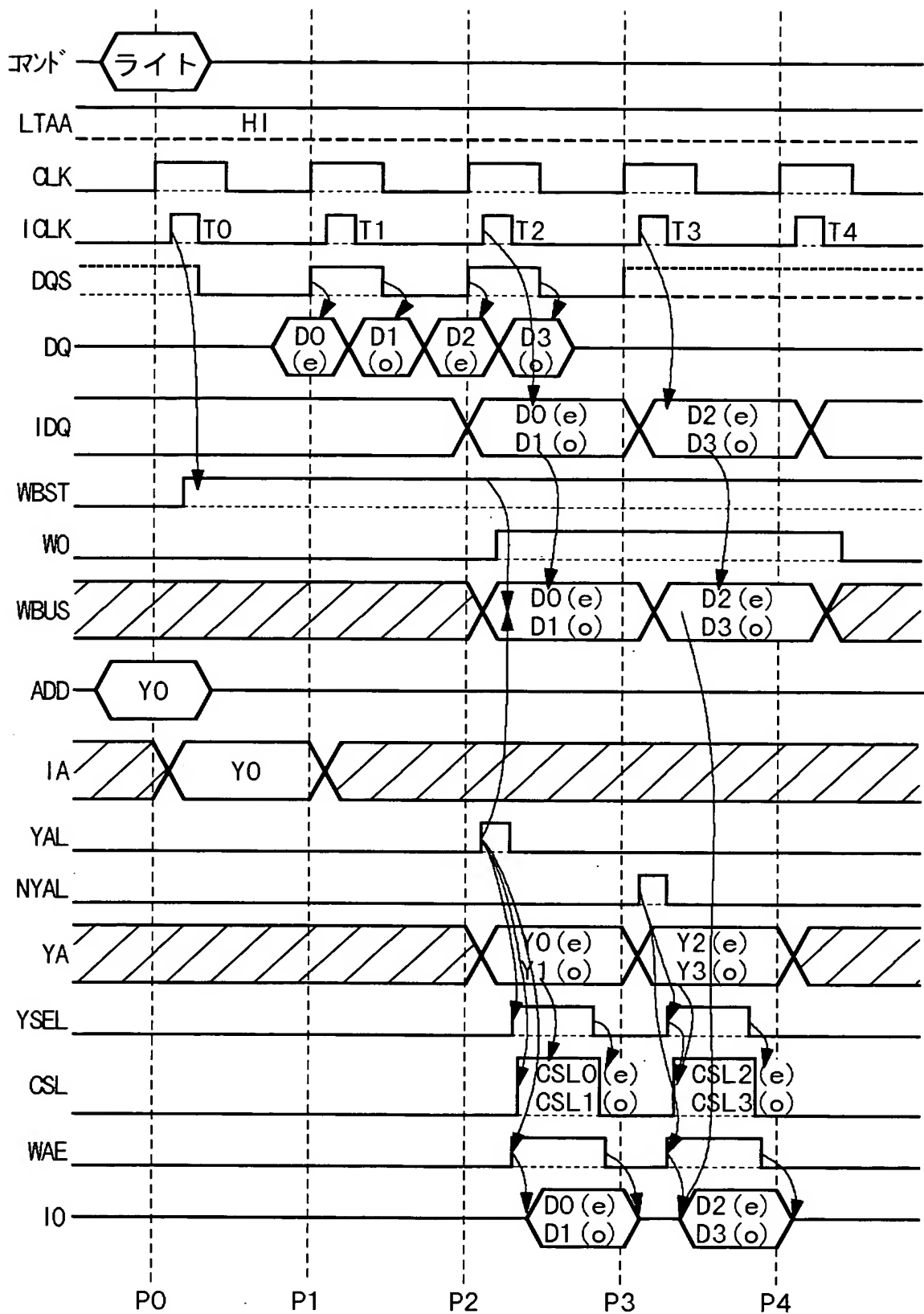
- 14 カラム系コントロール回路
- 15 データ初段回路
- 16 データストローブ初段回路
- 17 データラッチ回路
- 18 ライトバッファ回路
- 19、20 ライトアンプ回路
- 21、22 カラムデコーダ回路
- 23 モード切替回路
- 31 制御回路
- 32、34、35、36、37、41、46、51、56 反転素子
- 33 NAND回路
- 38、39 DELAY回路
- 40 マルチプレクサ回路
- 42、44、52、54 PMOSトランジスタ
- 43、45、53、55 NMOSトランジスタ
- 62 コマンドデコーダ回路

【書類名】 図面

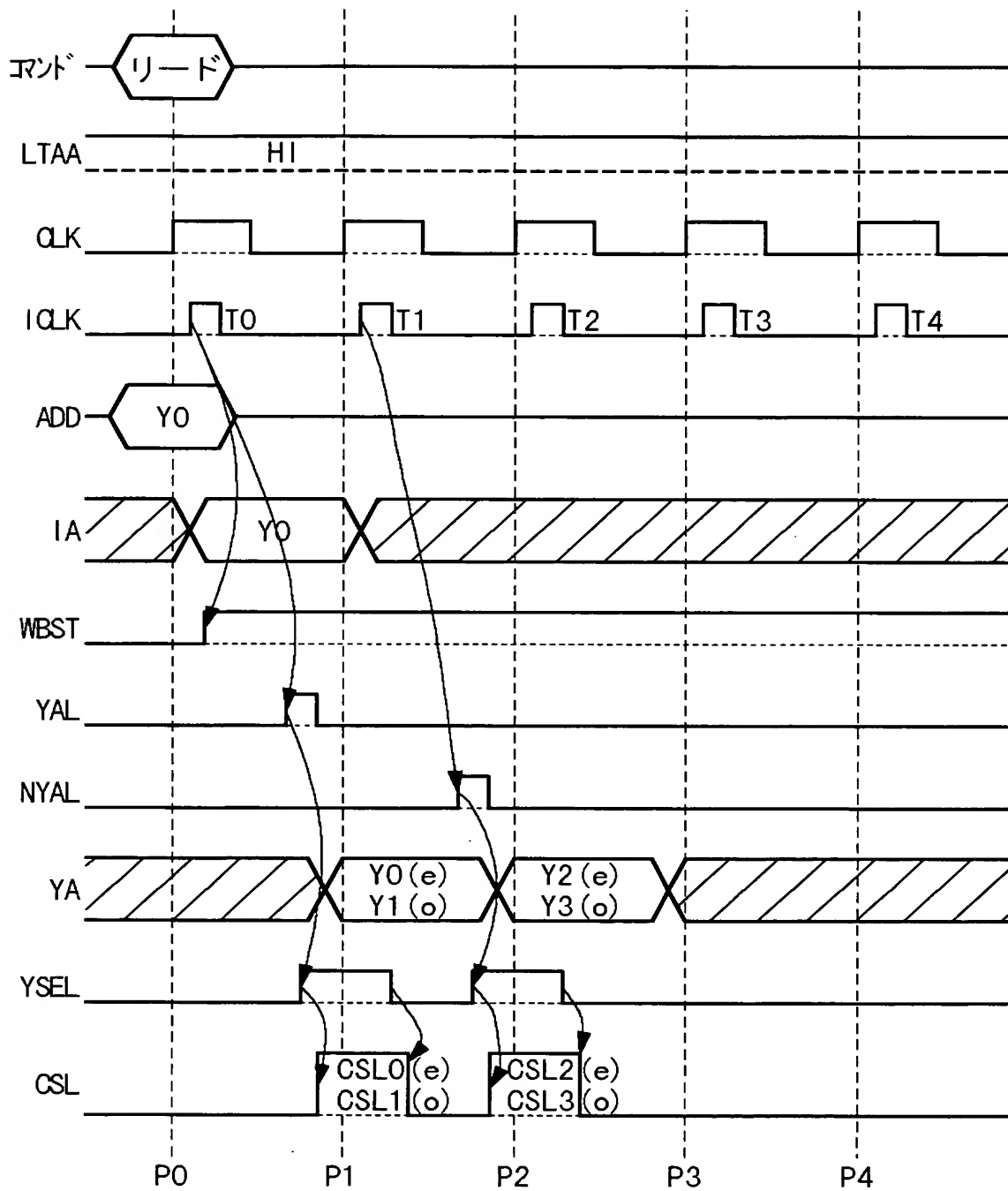
【図 1】



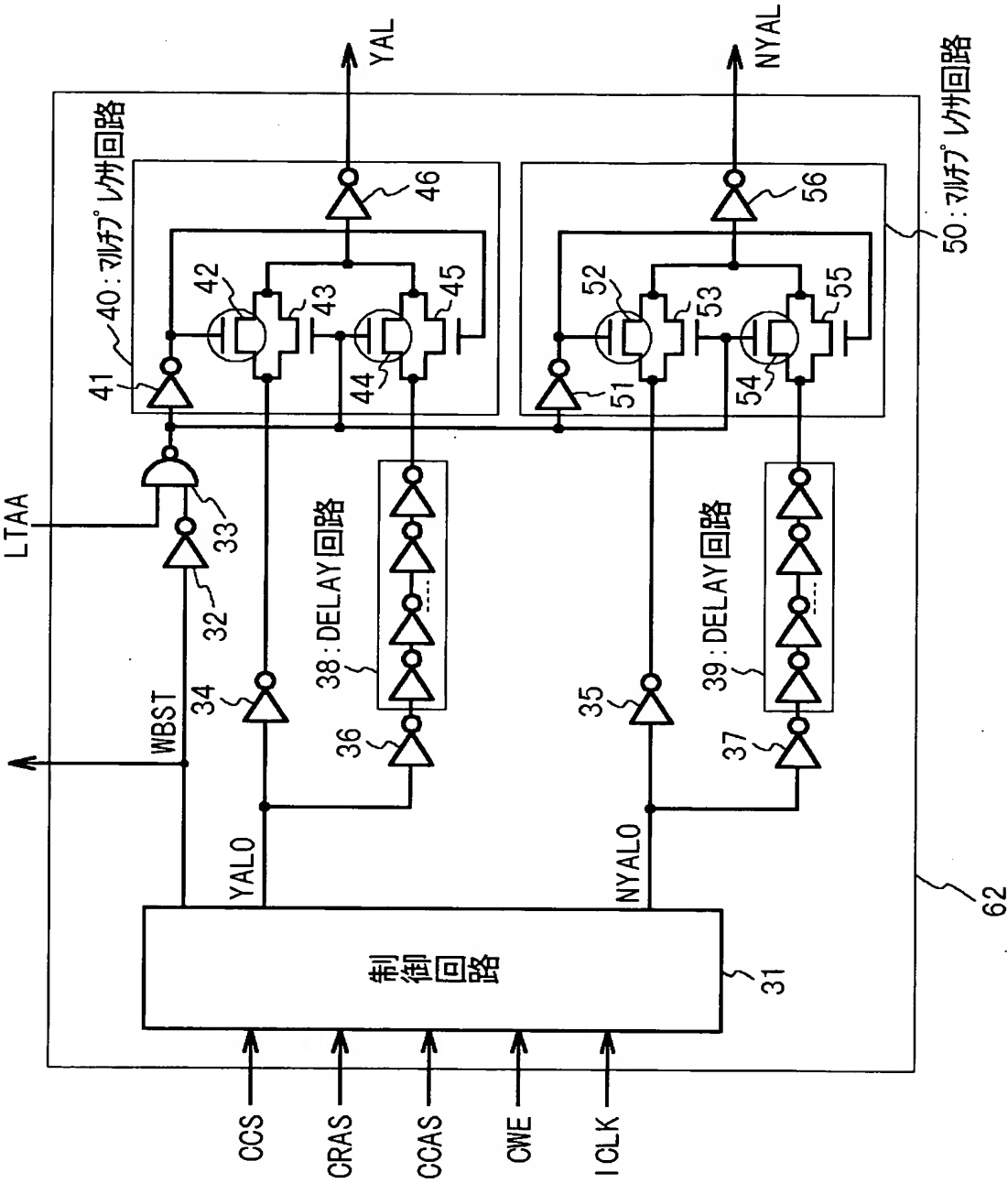
【図 2】



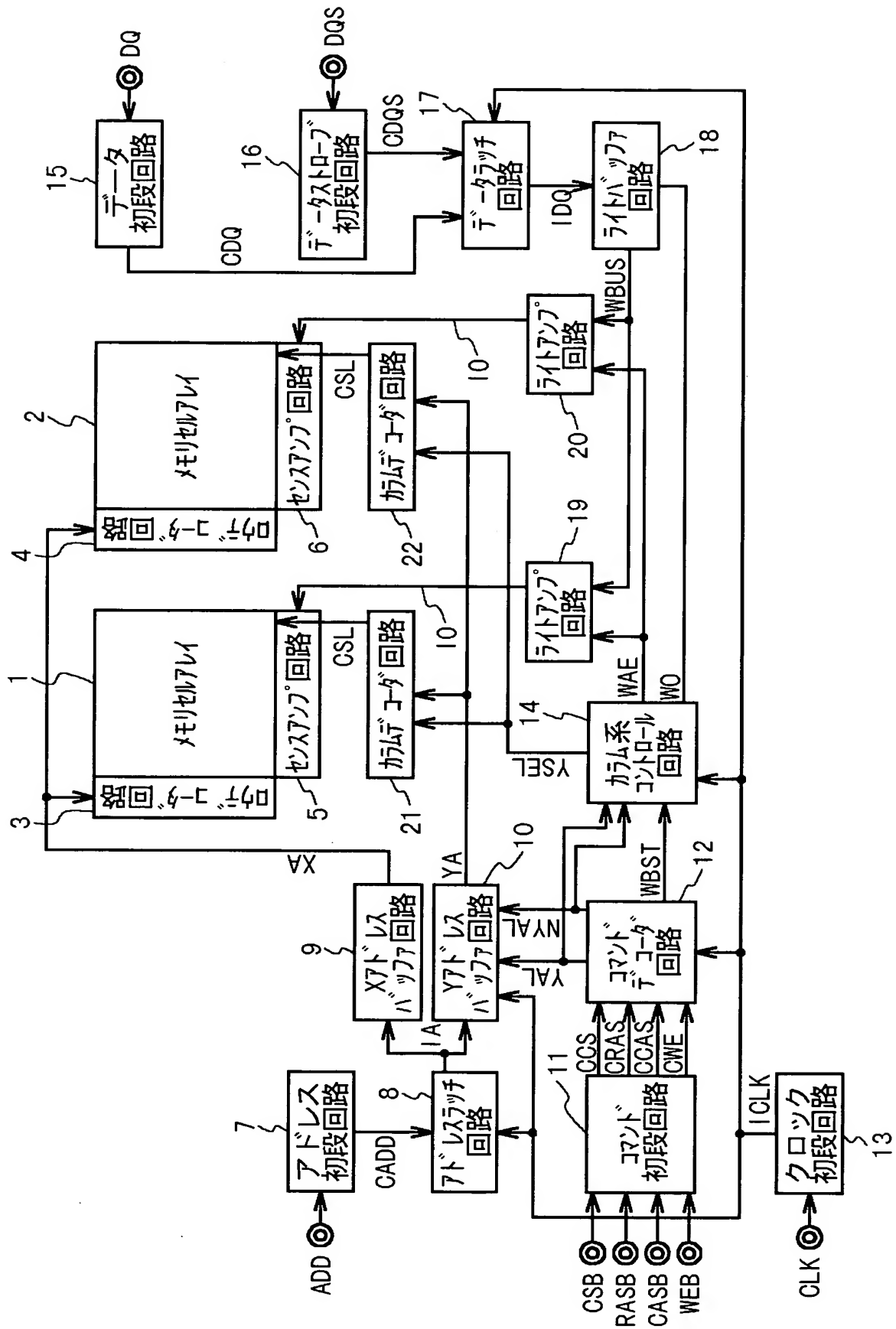
【図 3】



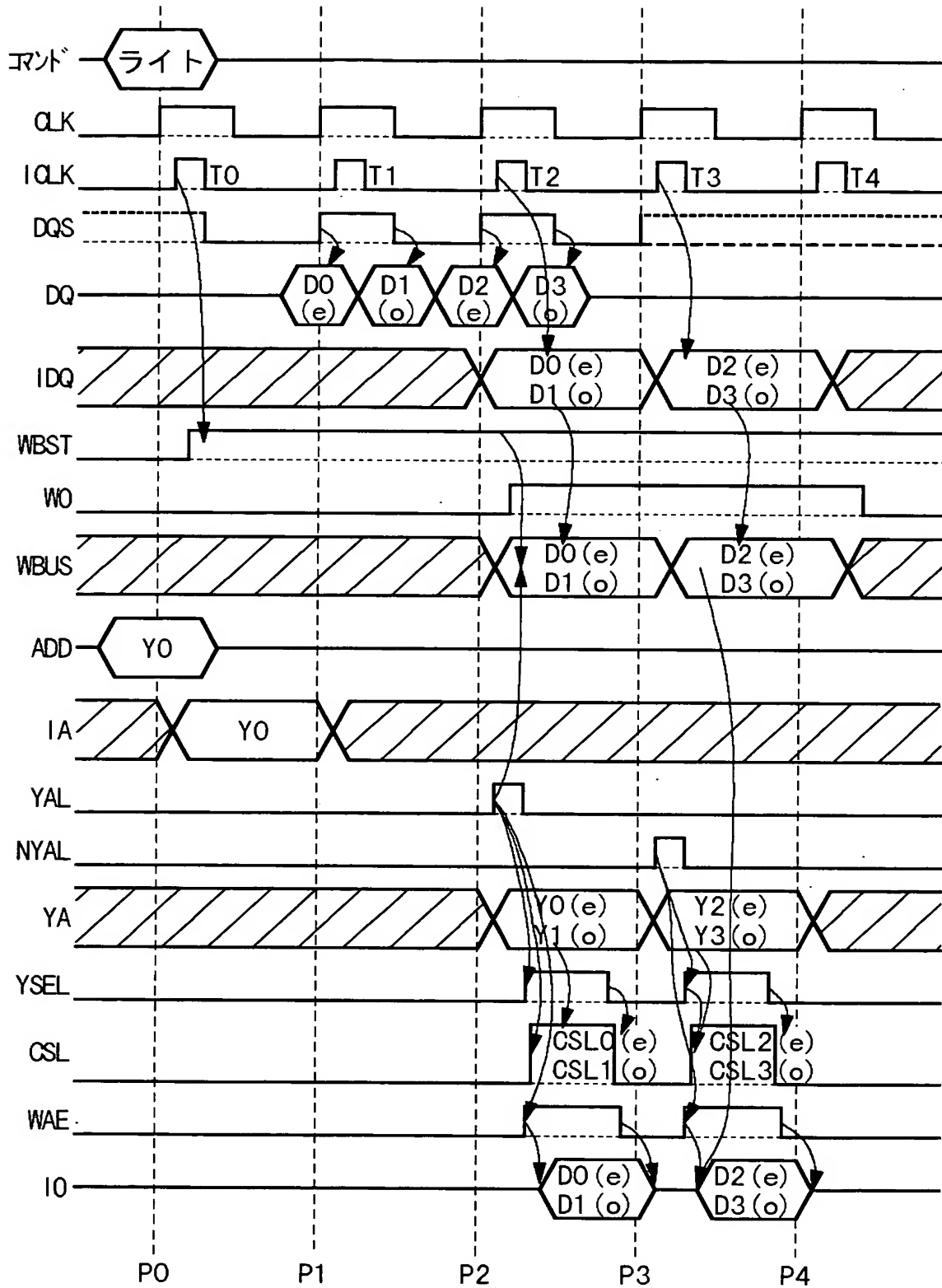
【図 4】



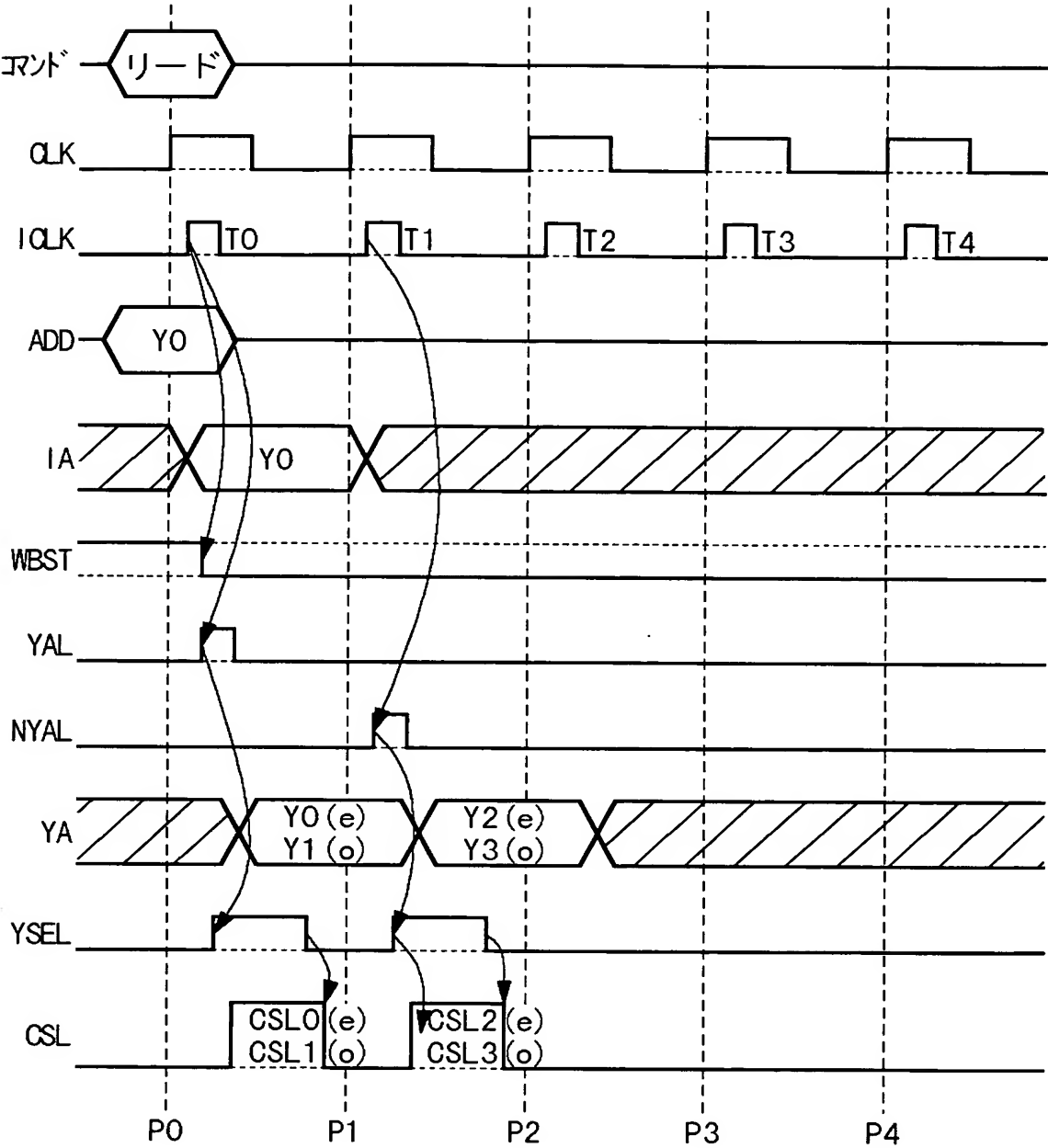
【図 5】



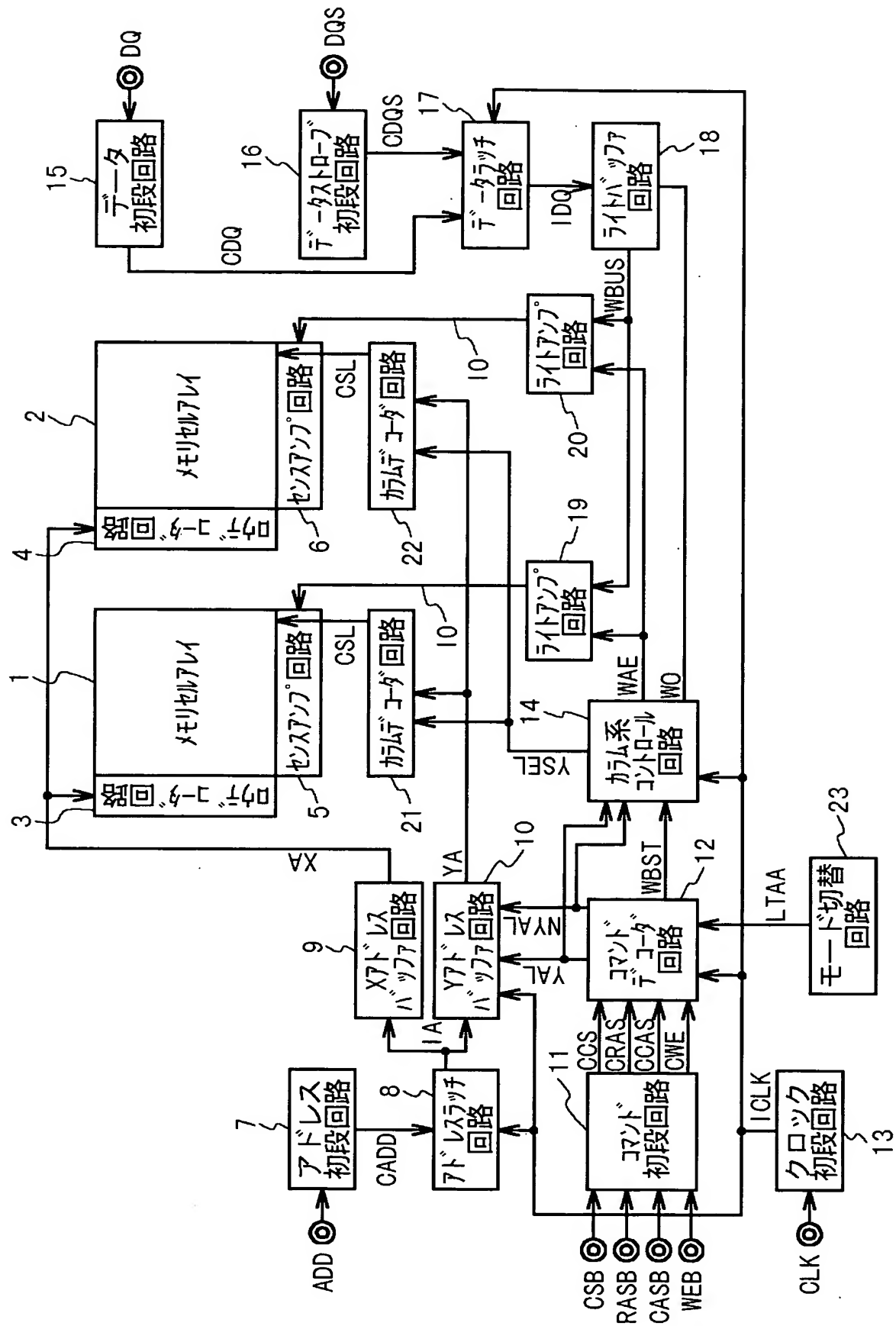
【図 6】



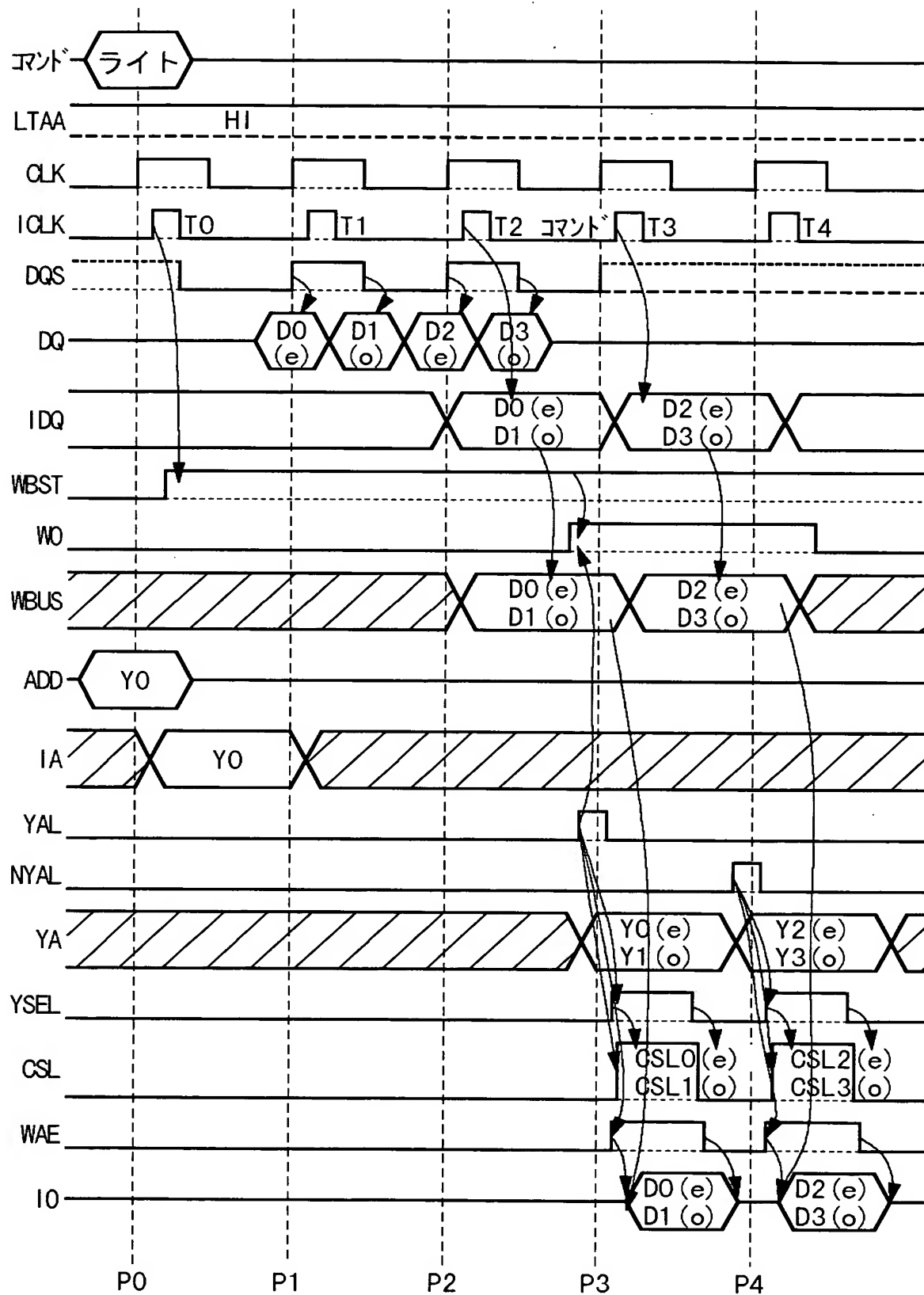
【図 7】



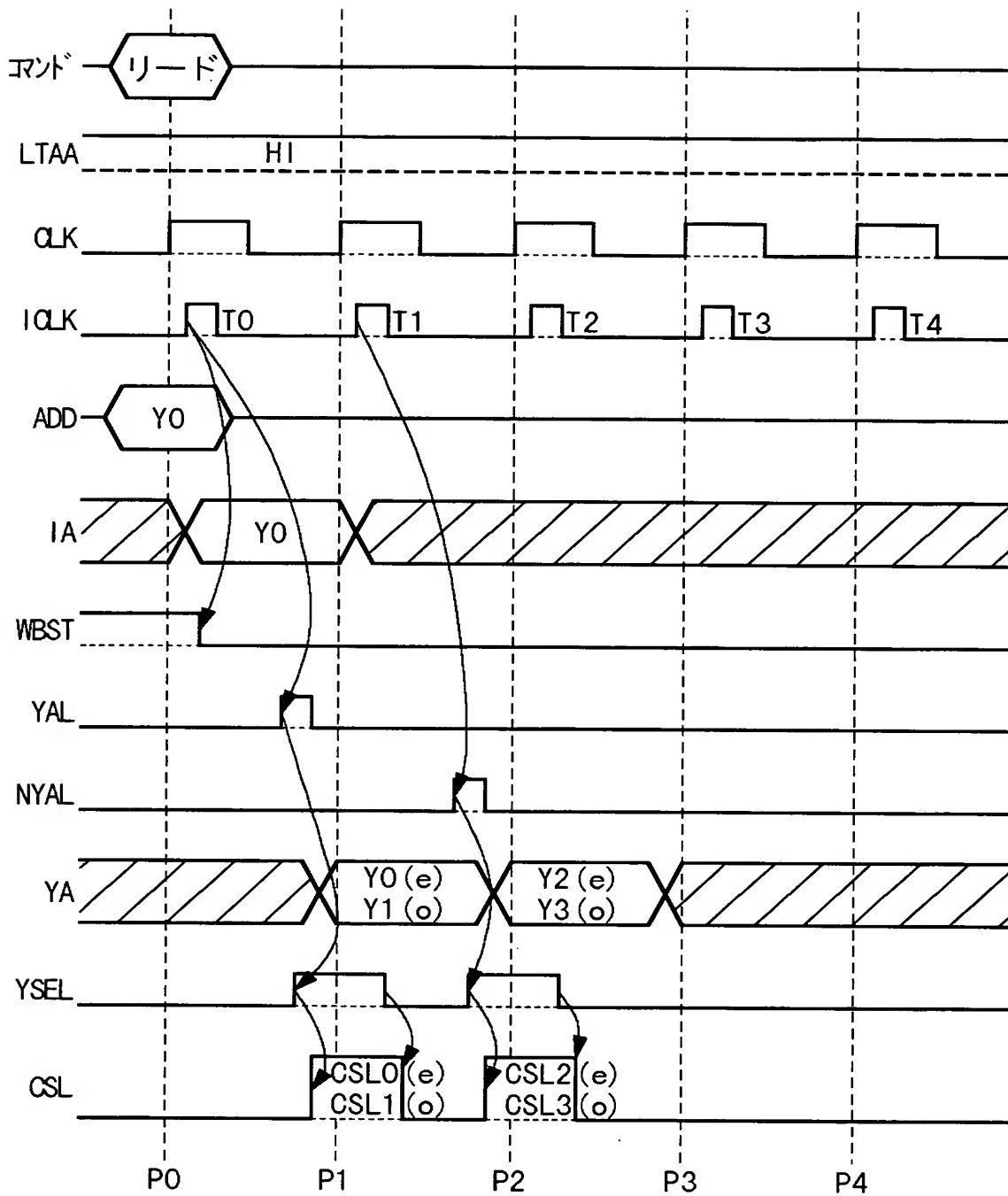
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 使用環境に応じることができる半導体記憶装置を提供する。

【解決手段】 複数のメモリセルアレイ（１、２）は、複数のメモリセルを備えている。モード制御部（２３）は、遅延制御信号（L T A A）を出力する。命令実行部（３～１０、１４～２２）は、外部からのアドレスとアドレスバッファ制御信号（Y A L、N Y A L）とに基づいて複数のメモリセルアレイ（１、２）にアクセスする。コマンド制御部（１１、６２）は、外部からのコマンドと遅延制御信号（L T A A）とに基づいて、アドレスバッファ制御信号（Y A L、N Y A L）を命令実行部（３～１０、１４～２２）に出力する。このコマンド制御部（１１、６２）は、遅延制御信号（L T A A）がインアクティブ状態であり、コマンドがライトコマンド又はリードコマンドである通常動作モードのときと、遅延制御信号（L T A A）がアクティブ状態であり、コマンドがライトコマンドであるライト命令遅延動作モードのときに、クロック信号（I C L K）に同期してアドレスバッファ制御信号（Y A L、N Y A L）を出力する。コマンド制御部（１１、６２）は、遅延制御信号（L T A A）がアクティブ状態であり、コマンドがリードコマンドであるリード命令遅延動作モードのときに、クロック信号（I C L K）から遅延してアドレスバッファ制御信号（Y A L、N Y A L）を出力する。

【選択図】 図 1

特願 2002-332826

出 願 人 履 歴 情 報

識別番号

[500174247]

1. 変更年月日
[変更理由]

2000年 7月12日
名称変更

住 所
氏 名

東京都中央区八重洲2-2-1
エルピーダメモリ株式会社